UNIVERSITÀ
DEGLI STUDI DI MILANO-BICOCCA

SYLLABUS DEL CORSO

Architettura degli Elaboratori

2021-1-E3101Q104

Obiettivi

Alla fine del corso lo studente avrà conoscenza degli elementi dell'architettura di un semplice elaboratore e delle basi della programmazione assembly, abilità di progettare piccole modifiche alla struttura interna di un calcolatore e di scrivere semplici programmi assembly, e infine competenza nel valutare le tecnologie più adeguate, in termini di prestazioni, per diversi ambiti di elaborazione.

Contenuti sintetici

- Principali elementi dell'architettura hardware di un elaboratore.
- Instruction set architecture.
- Catena programmativa.
- Controllo del percorso dei dati.
- Gestione delle eccezioni.
- Tecniche di gestione dell'ingresso/uscita.
- Gerarchie di memoria: cache.

Programma esteso

1. Rappresentazione del'informazione
    - rappresentazione dell'informazione non numerica,
    - rappresentazione dei numeri interi con e senza segno,
    - rappresentazione dei numeri in virgola fissa e mobile.
2. Circuiti logici
    - reti combinatorie,
    - reti sequenziali e FSM (Finite State Machine),
    - rassegna di circuiti notevoli (decoder, multiplexer, register file, ALU, etc.).
3. Instruction Set Architecture

    - schema di von Neumann,
    - CPU, registri, ALU e memoria,
    - ciclo fondamentale di esecuzione di una istruzione (fetch/decode/execute),
    - tipi e formati di istruzioni MIPS32,
    - modalità di indirizzamento.
4. Linguaggio Assembly
    - formato simbolico delle istruzioni,
    - catena di programmazione (compilatore, assembler, linker, loader, etc.),
    - pseudo-istruzioni e direttive dell'assemblatore,
    - scrittura di semplici programmi assembly,
    - convenzioni programmative (memoria, nomi dei registri, etc.).
5. Datapath
    - percorsi dei dati per le diverse classi di istruzioni,
    - controllo del percorso dei dati con FSM (implementazione multi-ciclo).
    - +: pipelining e gestione hazard
6. Gestione delle eccezioni
    - tassonomia di eccezioni in terminologia MIPS32,
    - modifiche alla FSM di controllo, registro Cause, etc.
7. Tecniche di gestione dell'ingresso/uscita
    - controllo di programma,
    - interruzione di programma,
    - accesso diretto alla memoria.
8. Gerarchie di memoria: cache
    - cache a mappatura diretta,
    - cache fully associative,
    - cache n-way set associative.

Prerequisiti

Nessuno

Modalità didattica

- lezioni
- esercitazioni
- laboratorio
- studio individuale

Le lezioni sono tenute in italiano e prevedibilmente in aula con streaming.

Materiale didattico

- Libro di testo: David Patterson, John Hennessy: Computer Organization and Design, The Hardware/Software Interface. Fifth edition. Morgan Kaufmann (Elsevier)
- Materiale disponibile su elearning relativo a lezioni, esercitazioni e laboratorio, alcune prove di autovalutazione, etc.

Periodo di erogazione dell'insegnamento

Secondo semestre

Modalità di verifica del profitto e valutazione

L'esame, se la situazione sanitaria lo permetterà, può essere svolto in due prove parziali, valide ciascuna per il 50% del voto finale, tenute una a metà e una a fine semestre, o come sempre in un unico appello tra quelli a calendario lungo tutto l'anno accademico.

Ogni prova prevede una sessione al calcolatore, comprendente una parte obbligatoria ed una facoltativa.

La prima parte è costituita da domande a risposta chiusa (prevalentemente esercizi), e verte su un insieme ridotto di argomenti, definiti come "Non Eludibili".

La seconda parte è a risposte aperte e verrà valutata solo per chi ha riportato un esito sufficiente nella prima parte. Questa parte è di approfondimento e verte anche su argomenti non inclusi nella prima parte. Verrà indicato a lezione quali argomenti saranno nelle due parti.

Orario di ricevimento

Inviare email per concordare un appuntamento