UNIVERSITÀ
DEGLI STUDI DI MILANO-BICOCCA

SYLLABUS DEL CORSO

Architettura degli Elaboratori

2627-1-E3102Q102

Obiettivi

Alla fine del corso lo studente avrà: conoscenza degli elementi dell'architettura di un semplice elaboratore e delle basi della programmazione assembly; abilità di progettare piccole modifiche alla struttura interna di un calcolatore e di scrivere semplici programmi assembly; competenza nel valutare le tecnologie più adeguate, in termini di prestazioni, per diversi ambiti di elaborazione.
L'architettura di riferimento per il corso è MIPS32.

Al termine del corso, gli studenti saranno in grado di:

- comprendere e saper descrivere i componenti principali dell'architettura hardware di un computer e le loro funzioni principali (**Conoscenza e capacità di comprensione**)
- comprendere (**Conoscenza e comprensione**) e saper sviluppare (**Conoscenza e capacità di comprensione applicate**) semplici programmi con il linguaggio di programmazione Assembly
- comprendere (**Conoscenza e comprensione**) e simulare (**Conoscenza e capacità di comprensione applicate**) il comportamento delle varie componenti della catena programmativa che porta un pogramma scritto in linguaggio di alto livello ad essere pronto per l'esecuzione
- comprendere il percorso dei dati nell'esecuzione delle singole istruzioni elementari e aggiungere nuove istruzioni all'Instruction Set Architecture (**Conoscenza e capacità di comprensione applicate**)
- comprendere la modalità di gestione delle eccezioni di elaborazione (**Conoscenza e comprensione**) e saper scrivere codice sorgente in Assempbly per realizzarla (**Conoscenza e capacità di comprensione applicate**)
- comprendere le diverse modalità di gestione dell'interazione con le periferiche di I/O (**Conoscenza e comprensione**) e saper scrivere codice sorgente in Assembly per realizzarle (**Conoscenza e capacità di comprensione applicate**)
- comprendere e saper simulare il comportamento delle diverse tipologie di classi di memoria (**Conoscenza e capacità di comprensione applicate**);

Contenuti sintetici

- Codifica dei diversi tipi di informazione (numeri interi e reali, caratteri e testo)
- Principali elementi dell’architettura hardware di un elaboratore (architettura di Von Neumann, reti combinatorie e sequenziali)
- Catena programmativa
- Instruction Set Architecture
- Controllo del percorso dei dati per l'esecuzione di istruzioni
- Gestione delle eccezioni
- Tecniche di gestione dell'ingresso/uscita
- Gerarchie di memoria: cache

(MIPS32 è l'architettura di riferimento per il corso)

Programma esteso

1. Rappresentazione del'informazione

- rappresentazione dell'informazione non numerica
- rappresentazione dei numeri interi con e senza segno
- rappresentazione dei numeri in virgola fissa e mobile

2. Circuiti logici

- reti combinatorie
- reti sequenziali e FSM (Finite State Machine)
- rassegna di circuiti notevoli (decoder, multiplexer, register file, ALU, etc.)

3. Instruction Set Architecture

- schema di von Neumann
- CPU, registri, ALU e memoria
- ciclo fondamentale di esecuzione di una istruzione (fetch/decode/execute)
- tipi e formati di istruzioni MIPS32
- modalità di indirizzamento

4. Linguaggio Assembly

- formato simbolico delle istruzioni
- catena di programmazione (compilatore, assembler, linker, loader, etc.)
- pseudo-istruzioni e direttive dell'assemblatore
- scrittura di semplici programmi assembly
- convenzioni programmative (memoria, nomi dei registri, etc.)

5. Datapath

- percorsi dei dati per le diverse classi di istruzioni
- controllo del percorso dei dati con FSM (implementazione multi-ciclo)

6. Gestione delle eccezioni

- tassonomia di eccezioni in terminologia MIPS32

- Registri Cause e EPC e modifiche alla FSM di controllo per la gestione delle eccezioni
- Exception handler

7. Tecniche di gestione dell'ingresso/uscita

- controllo di programma
- interruzione di programma
- accesso diretto alla memoria

8. Gerarchie di memoria: cache

- cache a mappatura diretta
- cache fully associative
- cache n-way set associative

Prerequisiti

Nessuno

Modalità didattica

- 14 lezioni da 2 ore svolte in modalità erogativa in presenza
- 2 lezioni da 2 ore svolte in modalità erogativa in remoto asincrono
- 10 esercitazioni da 2 ore svolte in presenza in modalità 50% erogativa 50% interattiva
- 8 attività di laboratorio da 3 ore svolte in modalità interattiva in presenza

Materiale didattico

- Libro di testo: David Patterson, John Hennessy: Computer Organization and Design, The Hardware/Software Interface, 5th edition, Morgan Kaufmann (Elsevier) / versione in lingua italiana "Struttura e progetto dei calcolatori" Zanichelli
- Materiale disponibile su elearning relativo a lezioni (lucidi presentati dal docente), esercitazioni (esercizi presentati dal docente con soluzioni) e laboratorio (quiz Moodle relativi a esercizi di laboratorio con soluzioni)

Periodo di erogazione dell'insegnamento

Primo semestre

Modalità di verifica del profitto e valutazione

Sono previste due prove in itinere, tenute una a metà e una a fine semestre e relative ai contenuti erogati fino al momento dello svolgimento della prova stessa. La prova in itinere può essere sostenuta una sola volta e la media delle valutazioni ottenute nelle due prove costituirà la votaizone finale.
In alternativa, sono previsti appelli lungo tutto l'anno accademico relativi ai contenuti dell'intero corso.

Ogni prova (sia parziale in itinere che esame completo) prevede una sessione al calcolatore, comprendente una parte "filtro" con domande a risposta chiusa (2/3 domande per ciascun macro-argomento trattato al corso) ed una parte con domande a risposta aperta (una per ogni macro-argomento). Il voto si ottiene solo svolgendo anche la parte a risposta aperta. Per l'accesso alle domande aperte è necessario rispondere correttamente ad almeno una domanda chiusa per ciascuno dei macro-argomenti. Ad ogni domanda chiusa lo studente ha la possibilità di scegliere di non rispondere (in tal caso gli sarà assegnato un punteggio nullo) mentre se risponderà erroneamente sarà aggiunta una penalizzazione al voto finale. Le domande aperte sono valutate tenendo in considerazione sia la completezza dei contenuti sia la qualità della forma espositiva .

Orario di ricevimento

Tramite appuntamento da concordare via email

Sustainable Development Goals