

# **Reti sequenziali**

## **RAM, register file, FSM, Latch e Flip Flop**

Esercitazione 3  
Architettura degli elaboratori

# Esercizio 1

Considerando una RAM di dimensione uguale a 4096 Kbit e una parola di memoria di 4 byte, qual è l'altezza di tale memoria? da quanti bit è composto un indirizzo per tale memoria?

# Esercizio 1 – soluzione

Considerando una RAM di dimensione uguale a 4096 Kbit e una parola di memoria di 4 byte, quale è l'altezza di tale memoria? da quanti bit è composto un indirizzo per tale memoria?

$$4096 \text{ Kbit} = 2^{12} \text{ Kbit} = 2^{22} \text{ bit}$$

$$\text{L'altezza della memoria è: } 2^{22} / 2^2 * 2^3 = 2^{22} / 2^5 = 2^{17}$$

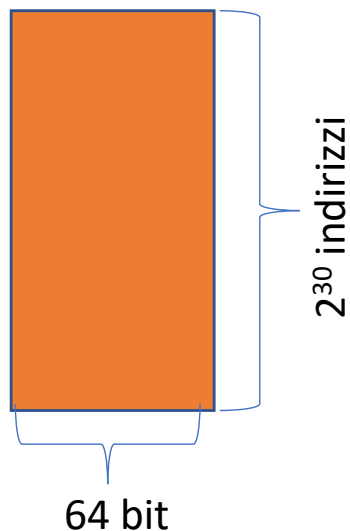
Ogni indirizzo di questa memoria è rappresentato su 17 bit

## Esercizio 2

Con 30 bit per un indirizzo di memoria e una parola di memoria di 64 bit, qual è la dimensione massima di memoria indirizzabile in MB?

## Esercizio 2 – soluzione

Con 30 bit per un indirizzo di memoria e una parola di memoria di 64 bit, qual è la dimensione massima di memoria indirizzabile in MB?



$2^{30}$  = numero massimo di indirizzi di memoria

64 bit =  $2^6$  bit = dimensione di una parola di memoria

$2^3$  bit = 1 byte

$2^{20}$  bit = 1 Mbit

→ Dimensione memoria indirizzabile (in bit):  $2^{30} * 2^6$  bit

→ Trasformo in MB dividendo per  $2^3 * 2^{20}$

→ Dimensione di memoria in MB =  $2^{10} * 2^3 = 8 * 1024$

## Esercizio 4

In relazione al tempo d'accesso di un dato a una memoria di tipo SRAM, quali delle seguenti affermazioni sono corrette?

1. È dipendente dalla posizione del dato in memoria
2. È dipendente dalla dimensione della memoria
3. È dipendente dal tipo di dato rappresentato

## Esercizio 4 – soluzione

In relazione al tempo d'accesso di un dato a una memoria di tipo SRAM, quali delle seguenti affermazioni sono corrette?

1. È dipendente dalla posizione del dato in memoria
2. È dipendente dalla dimensione della memoria
3. È dipendente dal tipo di dato rappresentato

**Nessuna delle affermazioni è corretta!**

## Esercizio 5

In relazione alle memorie RAM, quali delle seguenti affermazioni sono corrette?

1. le memorie SRAM hanno generalmente dimensioni minori rispetto alle DRAM
2. i dati in una memoria SRAM sono disponibili solo mentre il computer è acceso
3. le memorie DRAM richiedono un refresh periodico
4. le memorie DRAM sono 5-10 volte più lente delle SRAM
5. in una memoria DRAM, il refresh ritarda di circa 1%-2% gli accessi a memoria



## Esercizio 5 – soluzione

In relazione alle memorie RAM, quali delle seguenti affermazioni sono corrette?

1. le memorie SRAM hanno generalmente dimensioni minori rispetto alle DRAM
2. i dati in una memoria SRAM sono disponibili solo mentre il computer è acceso
3. le memorie DRAM richiedono un refresh periodico
4. le memorie DRAM sono 5-10 volte più lente delle SRAM
5. in una memoria DRAM, il refresh ritarda di circa 1%-2% gli accessi a memoria

**Tutte le affermazioni sono corrette!**

## Esercizio 6

Considerando la seguente memoria e considerando che indirizzi e contenuto proseguano le sequenze esadecimali indicate, quale sarà il valore memorizzato all'indirizzo 0xFFFF0100?

Indirizzi:

0xFFFF0000

0xFFFF0020

0xFFFF0040

...

...

Valori:

0xFFFFFFFF

0xFFFFFFFFE

0xFFFFFFFFD

# Esercizio 6 – soluzione

## Indirizzi

0xFFFF0000

0xFFFF0020

0xFFFF0040

0xFFFF0060

0xFFFF0080

0xFFFF00A0

0xFFFF00C0

0xFFFF00E0

0xFFFF0100

## Valori:

0xFFFFFFFF

0xFFFFFFFFE

0xFFFFFFFFD

0xFFFFFFFFC

0xFFFFFFFFB

0xFFFFFFFFA

0xFFFFFFFF9

0xFFFFFFFF8

0xFFFFFFFF7

## Esercizio 7

Quanti ingressi e quante uscite ha un register file che può leggere due valori alla volta e scriverne uno?

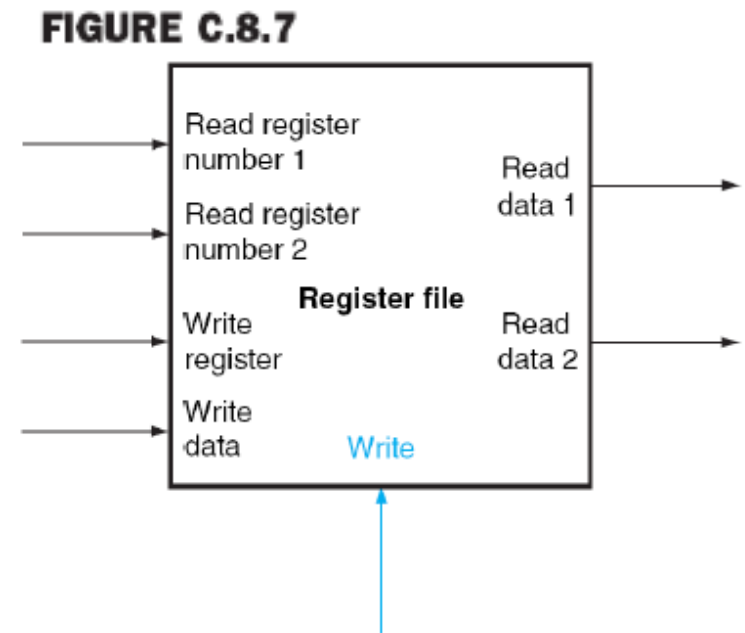
# Esercizio 7 – soluzione

Quanti ingressi e quante uscite ha un register file che può leggere due valori alla volta e scriverne uno?

2 uscite per i dati letti dai registri

5 ingressi per indicare

- i due registri da leggere
- il registro da scrivere
- il valore da scrivere
- un ingresso per il segnale di lettura/scrittura dei registri



# Esercizio 8

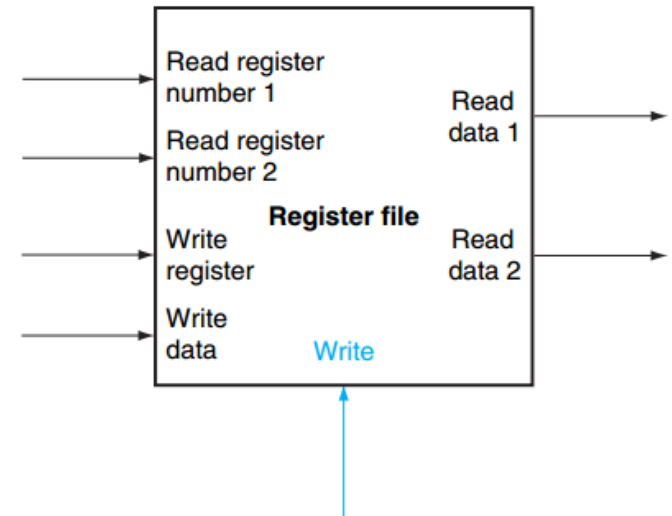
Con riferimento al register file MIPS32 (si veda figura) si supponga che gli ingressi siano così configurati

- ReadRegister1 valga 01000
- ReadRegister2 01001
- WriteRegister valga 01001
- WriteData abbia valore 0x00000032
- Write abbia valore 0

Si consideri inoltre che i valori dei registri siano

- \$8 = 0x0000001A
- \$10 = 0x0000001B
- \$11 = 0x00000009
- \$9 = 0x00000010

Successivamente al fronte attivo del clock, quando i segnali logici saranno ormai divenuti stabili, che valore si avrà su ReadData1 e ReadData2?



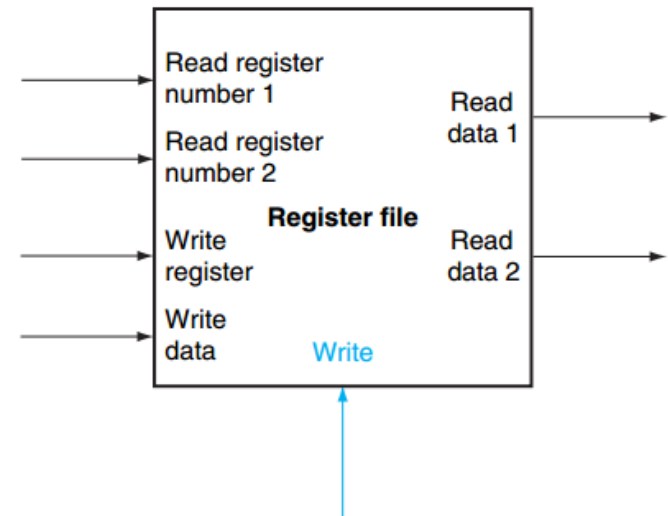
# Esercizio 8 – soluzione

Essendo Write=0 non interessa la parte relativa alla scrittura ...

- ReadRegister1 = 01000
- ReadRegister2 = 01001
- \$8 = 0x0000001A
- \$9 = 0x00000010

Successivamente al fronte attivo del clock, si avrà

- ReadData1 = 0x0000001A
- ReadData2 = 0x00000010



# Esercizio 9

Indicare quali affermazioni sono corrette.

Cos'è un segnale di clock?

1. Un segnale (onda sinusoidale) con un periodo predeterminato e costante
2. Un segnale (onda quadra) con un periodo non costante
3. Un segnale (onda sinusoidale) con un periodo non costante
4. Un segnale (onda quadra) con un periodo predeterminato e costante



# Esercizio 9 – soluzione

Indicare quali affermazioni sono corrette.

Cos'è un segnale di clock?

1. Un segnale (onda sinusoidale) con un periodo predeterminato e costante
2. Un segnale (onda quadra) con un periodo non costante
3. Un segnale (onda sinusoidale) con un periodo non costante
4. Un segnale (onda quadra) con un periodo predeterminato e costante

# Esercizio 10

Cosa viene misurato in Hertz?

1. Il periodo del segnale di clock
2. Il tempo fra un picco ed il successivo in un segnale di clock
3. Il valore massimo raggiunto da un segnale di clock
4. La frequenza del segnale di clock

# Esercizio 10 – soluzione

Cosa viene misurato in Hertz?

1. Il periodo del segnale di clock → no! è misurato in sec
2. Il tempo fra un picco ed il successivo in un segnale di clock → è la definizione di periodo!
3. Il valore massimo raggiunto da un segnale di clock
4. La frequenza del segnale di clock → risposta corretta! E corrisponde a 1/sec

# Esercizio 11

Considerando un segnale di clock con il periodo uguale a 0,02 micro secondi, qual è la sua frequenza in MHz?

E per un segnale di clock con il periodo uguale a 10 nsec?

# Esercizio 11 – soluzione

Considerando un segnale di clock con il periodo uguale a 0,02 micro secondi, qual è la sua frequenza in MHz?

E per un segnale di clock con il periodo uguale a 10 nsec?

frequenza = 1/periodo

1 hz = 1/sec

1MHz =  $10^6$ Hz

1 sec =  $10^6$  microsecondi =  $10^9$  nanosecondi

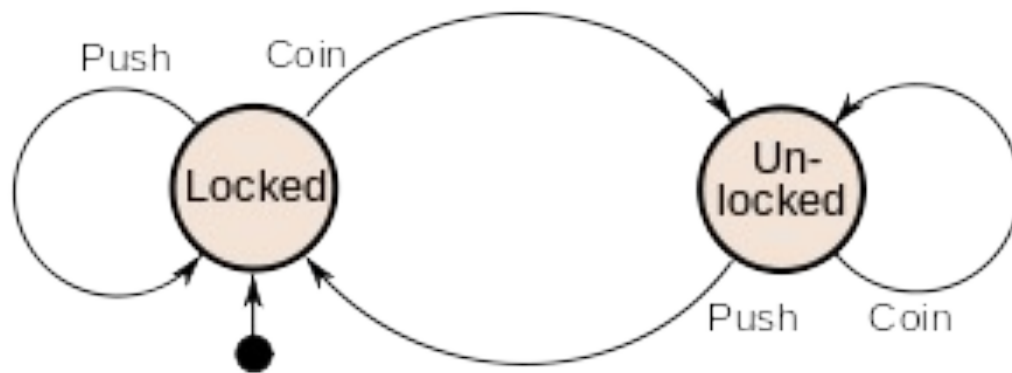
a) frequenza =  $1/(0,02 * 10^{-6}) = 50 * 10^6$ Hz

→ frequenza in MHz = 50 MHz

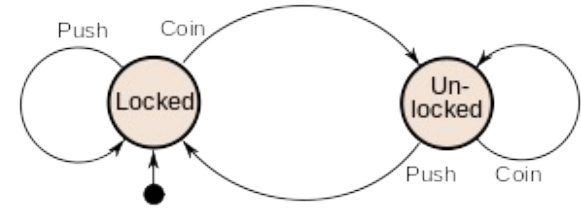
b) frequenza in MHz =  $1/(10 * 10^{-9})/10^6 = 10^8 / 10^6$  MHz = 100 MHz

# Esercizio 12

Qual è il comportamento di un **armadietto a moneta (coin locker)**, sapendo che la FSM che lo rappresenta è quella qui sotto rappresentata?



## Esercizio 12 – soluzione



Una descrizione del comportamento del coin locker è.

Un armadietto di tipo coin locker può trovarsi in uno di due stati: chiuso o aperto. Lo stato dell'armadietto può essere modificato con l'inserimento di una moneta (coin) o con l'azione esterna di pressione sullo sportello (push).

Un armadietto che si trova nello stato chiuso (locked) si apre se viene inserita una moneta, mentre resta chiuso se viene premuto lo sportello quando l'armadietto è chiuso.

Quando invece l'armadietto è aperto (unlocked) non cambia il suo stato se viene inserita una moneta, mentre passa dallo stato aperto allo stato chiuso se viene fatta pressione sullo sportello.

## Esercizio 13

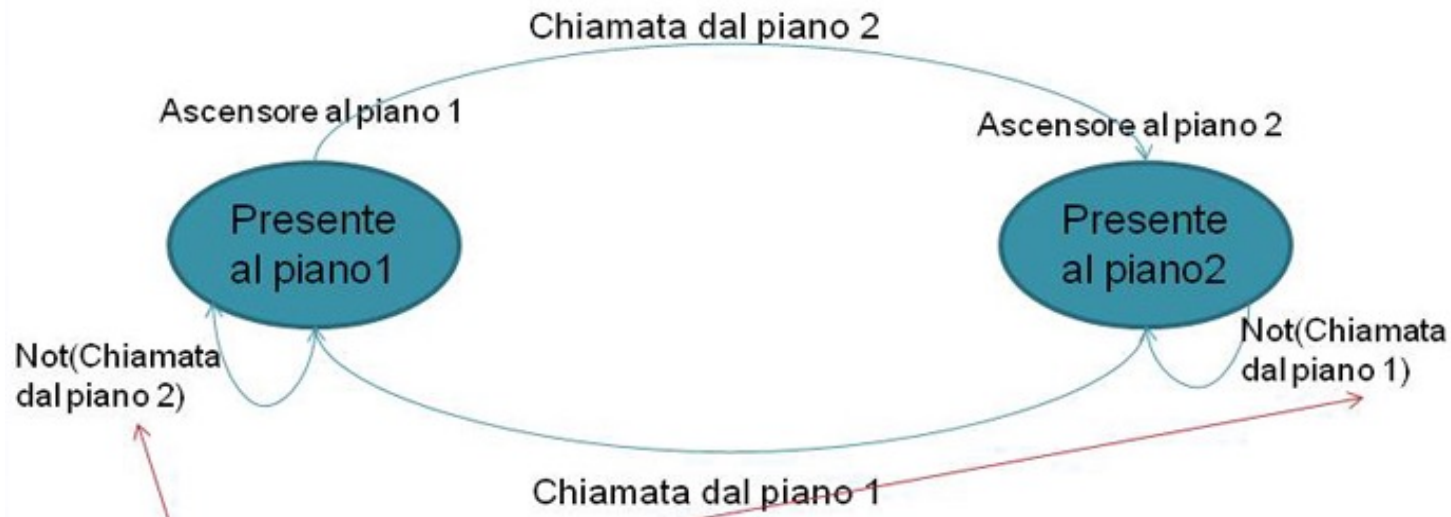
Disegnare la FSM e la funzione next-state per descrivere il comportamento di un **ascensore che collega 2 piani**. Si supponga che, quando l'ascensore si trova ad un piano e viene premuto il pulsante di chiamata all'altro piano, l'ascensore si sposta da un piano all'altro.



# Esercizio 13 – soluzione

- Stati: ascensore al piano 1, ascensore al piano 2
- Next-state-function: descrizione
  - se ascensore al piano 1 e viene chiamato al piano 2 → ascensore va al piano 2
  - se ascensore al piano 2 e viene chiamato al piano 1 → ascensore va al piano 1
  - se ascensore al piano 1 e NON viene chiamato al piano 2 → resta al piano 1
  - se ascensore al piano 2 e NON viene chiamato al piano 1 → resta al piano 2
  - se ascensore al piano 1 ed è chiamato contemporaneamente al piano 1 al piano 2 → va al piano 2
  - se ascensore al piano 2 ed è chiamato contemporaneamente al piano 1 al piano 2 → va al piano 1

# Esercizio 13 – soluzione

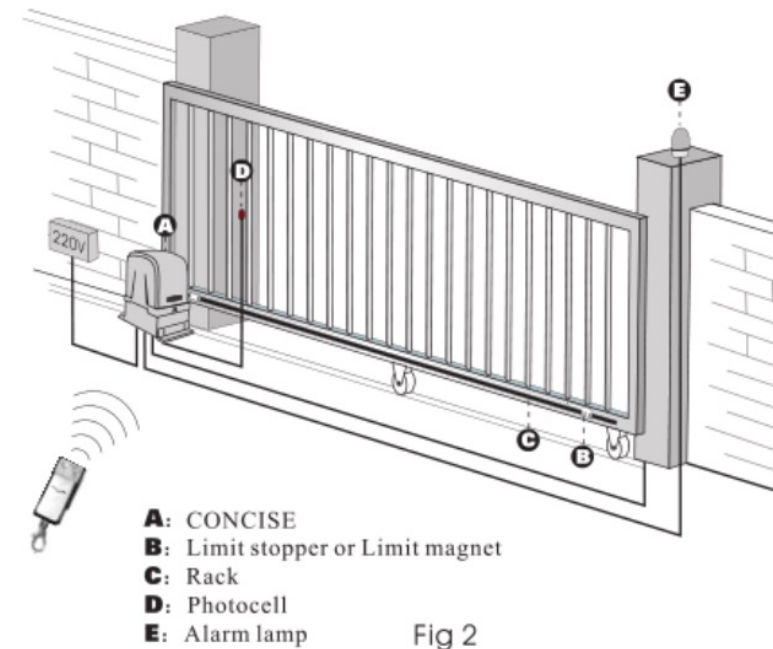


| Stato corrente       | Input                |                      | Prossimo stato       |
|----------------------|----------------------|----------------------|----------------------|
|                      | Chiamata dal piano 1 | Chiamata dal piano 2 |                      |
| Ascensore al piano 1 | 0                    | 0                    | Ascensore al piano 1 |
| Ascensore al piano 1 | 0                    | 1                    | Ascensore al piano 2 |
| Ascensore al piano 1 | 1                    | 0                    | Ascensore al piano 1 |
| Ascensore al piano 1 | 1                    | 1                    | Ascensore al piano 2 |
| Ascensore al piano 2 | 0                    | 0                    | Ascensore al piano 2 |
| Ascensore al piano 2 | 0                    | 1                    | Ascensore al piano 2 |
| Ascensore al piano 2 | 1                    | 0                    | Ascensore al piano 1 |
| Ascensore al piano 2 | 1                    | 1                    | Ascensore al piano 1 |

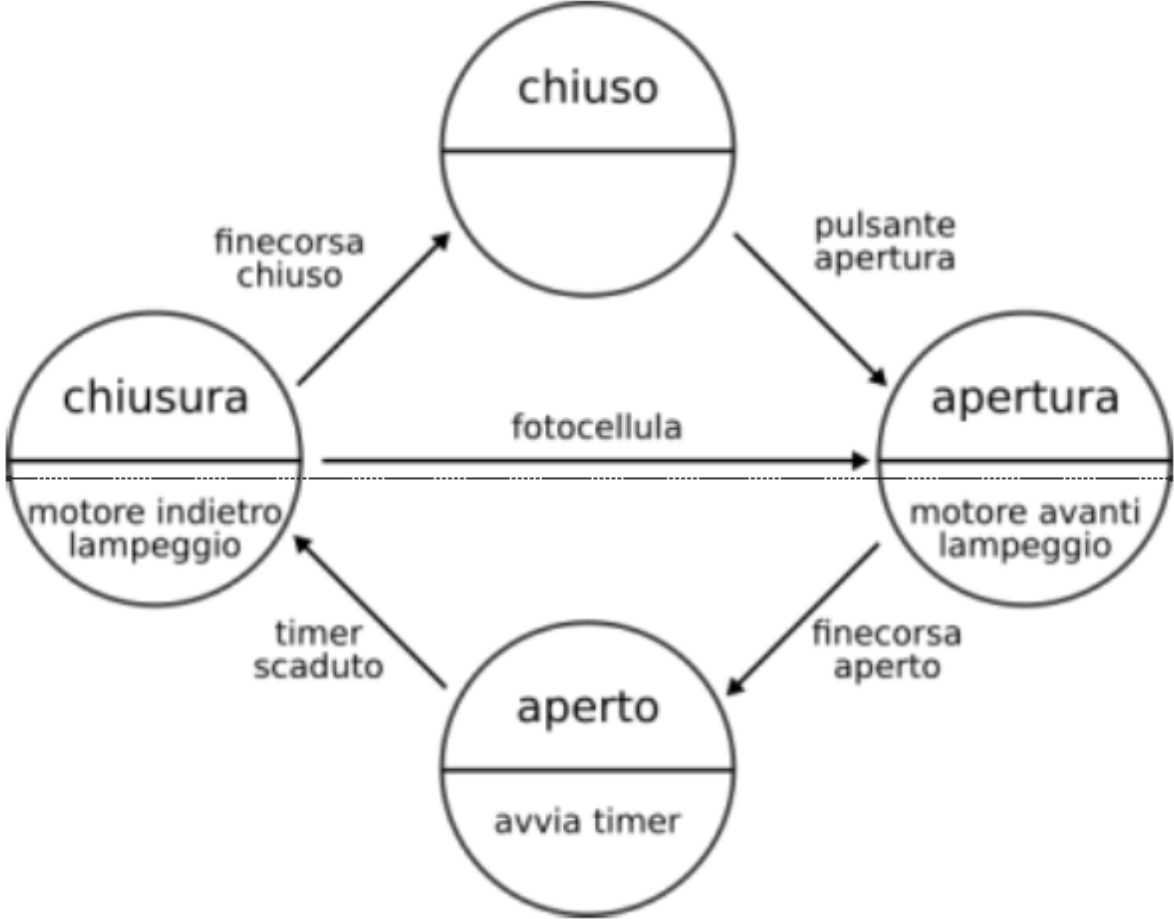
# Esercizio 14

Disegnare la FSM che descrive il comportamento di un **cancello automatico scorrevole** mosso da un motore in cui:

- L'apertura del cancello viene comandata da un pulsante
- La chiusura avviene automaticamente dopo un tempo pari a 10 secondi
- Il movimento del motore avviene in due direzioni (apertura e chiusura) e si arresta quando si attivano due finecorsa (Fcc o Fca) che segnalano la completa chiusura o apertura
- Una fotocellula apre automaticamente il cancello se rileva un ostacolo durante il movimento di chiusura
- Un segnalatore lampeggiante si accende e spegne durante il movimento del cancello



# Esercizio 14 – soluzione



# Esercizio 15

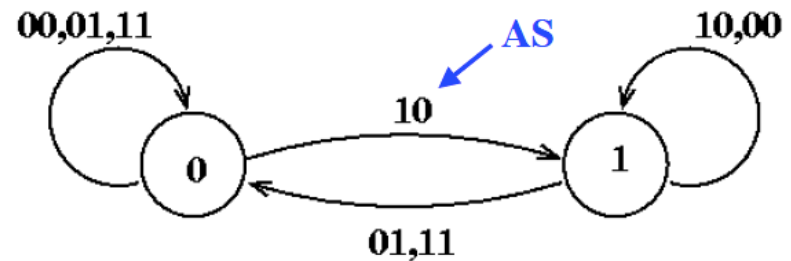
Disegnare la macchina a stati finiti (FSM) e la tabella di verità per il controllo di un **motore elettrico** che:

- riceve i segnali relativi a due pulsanti A e S
  - $A=1 \Rightarrow$  accendi
  - $S=1 \Rightarrow$  spegni
  - In caso di pressione simultanea, S prevale
- Se il motore è acceso (o spento) e arriva un altro segnale di accensione (o spegnimento), il segnale è ignorato
- L'output è un segnale F
  - $F = 0 \Rightarrow$  motore spento
  - $F = 1 \Rightarrow$  motore acceso

# Esercizio 15 – soluzione

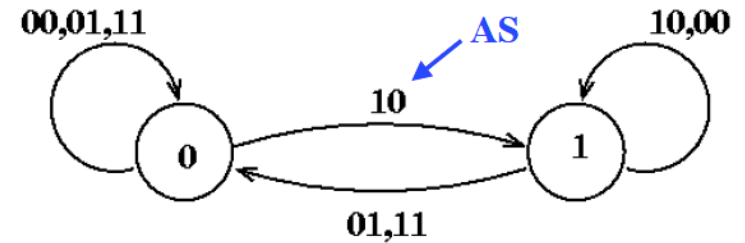
- Macchina a stati finiti di Moore con 2 stati (corrispondenti ai possibili output):

- F=0 : motore spento
- F=1: motore acceso



- Per ogni stato, 4 transizioni possibili date dalle 4 possibili configurazioni di input
  - Se il motore è spento (stato 0)
    - si accende solo se  $A=1$  e  $S=0$
    - resta spento se  $S=1$  (con  $A=0$  o  $A=1$ ) e, ovviamente, anche se  $S=0$  e  $A=0$
  - Viceversa, se il motore è acceso (stato 1)
    - Si spegne se  $S=1$ , quando  $A=0$  e anche quando  $A=1$  (perché  $S$  prevale su  $A$ )
    - Resta acceso se  $S=0$  (sia quando  $A=0$  che quando  $A=1$ )

# Esercizio 15 – soluzione



Data la FSM del motore elettrico, la corrispondente tabella di verità e le funzioni logiche che ne descrivono il comportamento sono:

| F | A | S | F* |
|---|---|---|----|
| 0 | 0 | 0 | 0  |
| 0 | 0 | 1 | 0  |
| 0 | 1 | 0 | 1  |
| 0 | 1 | 1 | 0  |
| 1 | 0 | 0 | 1  |
| 1 | 0 | 1 | 0  |
| 1 | 1 | 0 | 1  |
| 1 | 1 | 1 | 0  |

| F | O |
|---|---|
| 0 | 0 |
| 1 | 1 |

$$O = F$$

$$F^* = \sim FA\sim S + F\sim A\sim S + FA\sim S$$

## Esercizio 16

Disegnare la FSM che descrive il comportamento di una **cassaforte a combinazione** che si apre solo digitando la sequenza  $2 \rightarrow 6 \rightarrow 5$



# Esercizio 16 – soluzione

Disegnare la FSM che descrive il comportamento di una **cassaforte a combinazione** che si apre solo digitando la sequenza  $2 \rightarrow 6 \rightarrow 5$

Stati:

$q_0$  (stato iniziale)

$q_1$  (digitato il 2)

$q_2$  (digitato anche il 6)

$q_3$  (stato finale - combinazione corretta: digitati in sequenza 2, 6, 5)

$q_4$  (errore, combinazione non valida – trap state)



# Esercizio 17

Disegnare FSM, funzione nextState() e funzione di output() relativa ad una rete sequenziale che comanda l'**accensione e lo spegnimento di tre lampadine** (LampS, LampC, LampD) in sequenza e il cui ritmo è determinato dal periodo di clock.

L'output del circuito può essere rappresentato con tre bit. Quando tali bit sono affermati (uguali a 1), le lampadine corrispondenti sono accese.

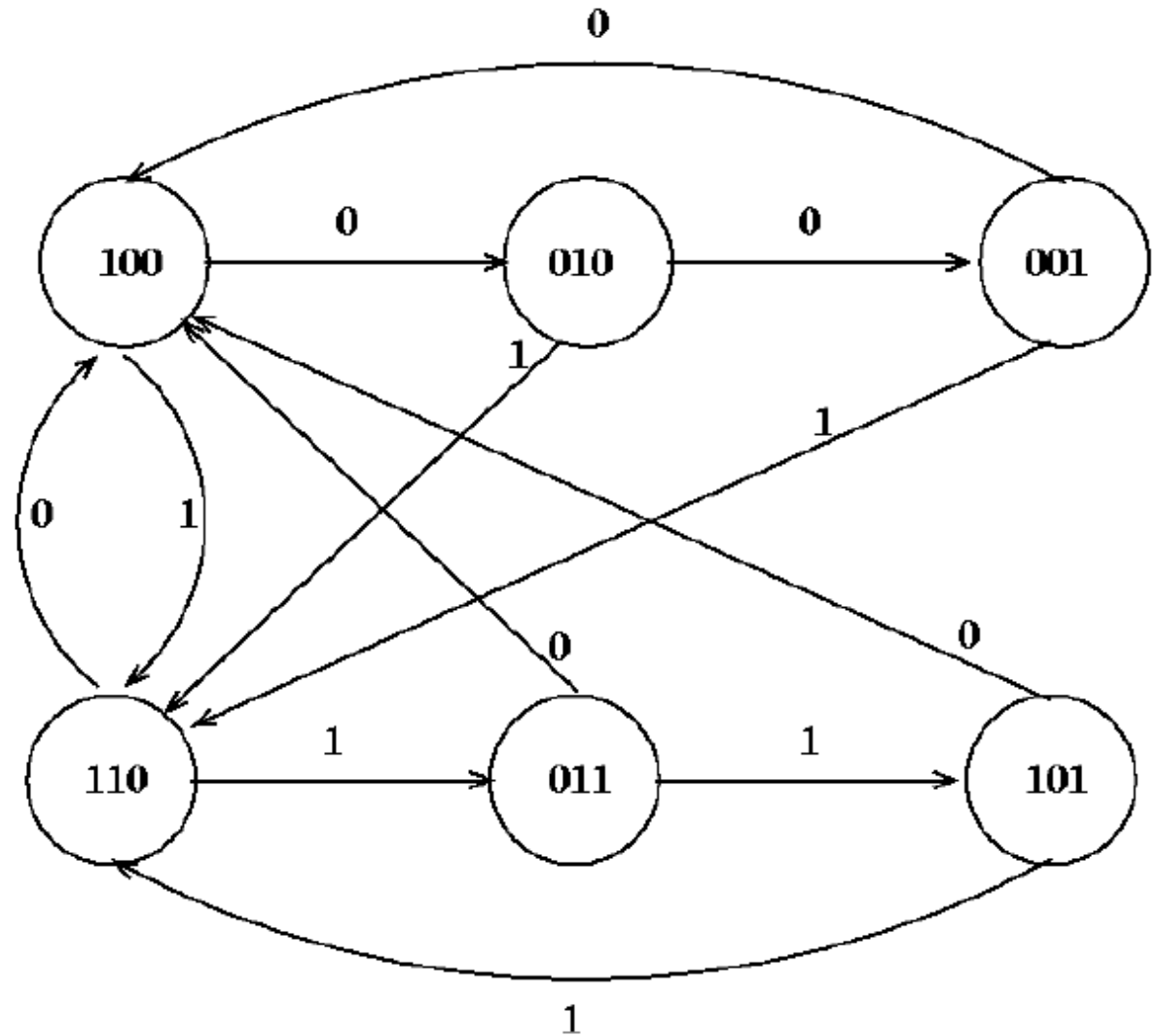
La rete riceve un segnale di ingresso I e ha il seguente comportamento:

- se  $I = 0 \Rightarrow$  le lampadine si accendono in sequenza **una alla volta** partendo da S (100  $\rightarrow$  010  $\rightarrow$  001  $\rightarrow$  100  $\rightarrow$  ...)
- se  $I = 1 \Rightarrow$  le lampadine si accendono in sequenza **due alla volta** partendo da S e C (110  $\rightarrow$  011  $\rightarrow$  101  $\rightarrow$  110  $\rightarrow$  ...)

# Esercizio 17 – soluzione

Macchina a stati finiti

- 6 stati ammissibili, corrispondenti alle possibili configurazioni SCD specificati dalle due sequenze di output
- Per ogni stato si hanno 2 possibili transizioni in corrispondenza dei due possibili input



# Esercizio 17 – soluzione

Tabella di verità per *NextState*

| S0 | S1 | S2 | I | S0* | S1* | S2* |
|----|----|----|---|-----|-----|-----|
| 0  | 0  | 0  | 0 | X   | X   | X   |
| 0  | 0  | 1  | 0 | 1   | 0   | 0   |
| 0  | 1  | 0  | 0 | 0   | 0   | 1   |
| 0  | 1  | 1  | 0 | 1   | 0   | 0   |
| 1  | 0  | 0  | 0 | 0   | 1   | 0   |
| 1  | 0  | 1  | 0 | 1   | 0   | 0   |
| 1  | 1  | 0  | 0 | 1   | 0   | 0   |
| 1  | 1  | 1  | 0 | X   | X   | X   |
| 0  | 0  | 0  | 1 | X   | X   | X   |
| 0  | 0  | 1  | 1 | 1   | 1   | 0   |
| 0  | 1  | 0  | 1 | 1   | 1   | 0   |
| 0  | 1  | 1  | 1 | 1   | 0   | 1   |
| 1  | 0  | 0  | 1 | 1   | 1   | 0   |
| 1  | 0  | 1  | 1 | 1   | 1   | 0   |
| 1  | 1  | 0  | 1 | 0   | 1   | 1   |
| 1  | 1  | 1  | 1 | X   | X   | X   |

Non sono stati ammissibili

• Tabella di verità per *Output*

| S0 | S1 | S2 | S | C | D |
|----|----|----|---|---|---|
| 0  | 0  | 0  | X | X | X |
| 0  | 0  | 1  | 0 | 0 | 1 |
| 0  | 1  | 0  | 0 | 1 | 0 |
| 0  | 1  | 1  | 0 | 1 | 1 |
| 1  | 0  | 0  | 1 | 0 | 0 |
| 1  | 0  | 1  | 1 | 0 | 1 |
| 1  | 1  | 0  | 1 | 1 | 0 |
| 1  | 1  | 1  | X | X | X |

S = S0  
C = S1  
D = S2

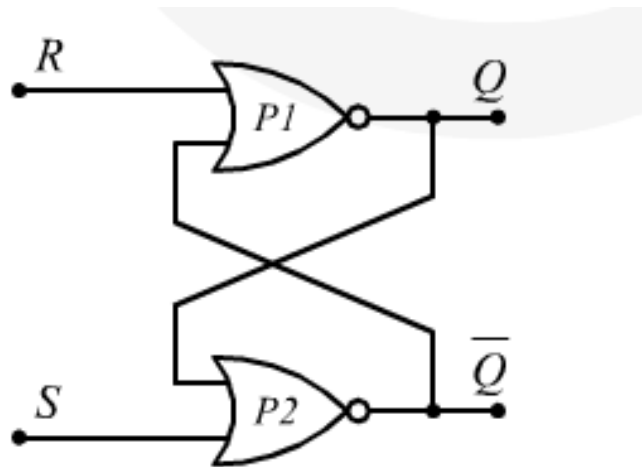
# Esercizio A

Agli ingressi S ed R di un latch a porte NOR vengono applicati i seguenti segnali. Disegnare l'andamento dell'uscita.



# Esercizio A - soluzione

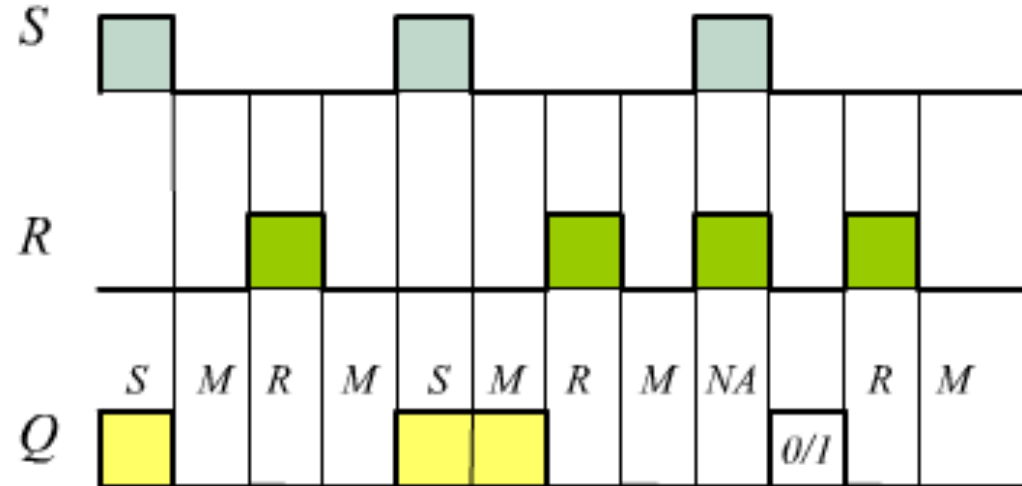
Tenendo conto della tabella di verità di un latch SR a porte NOR



| $S$ | $R$ | $Q_{n+1}$ | $\bar{Q}_{n+1}$ |                    |
|-----|-----|-----------|-----------------|--------------------|
| 0   | 0   | $Q_n$     | $\bar{Q}_n$     | <i>memoria</i>     |
| 0   | 1   | 0         | 1               | <i>reset</i>       |
| 1   | 0   | 1         | 0               | <i>set</i>         |
| 1   | 1   | X         | X               | <i>non ammesso</i> |

# Esercizio A - soluzione

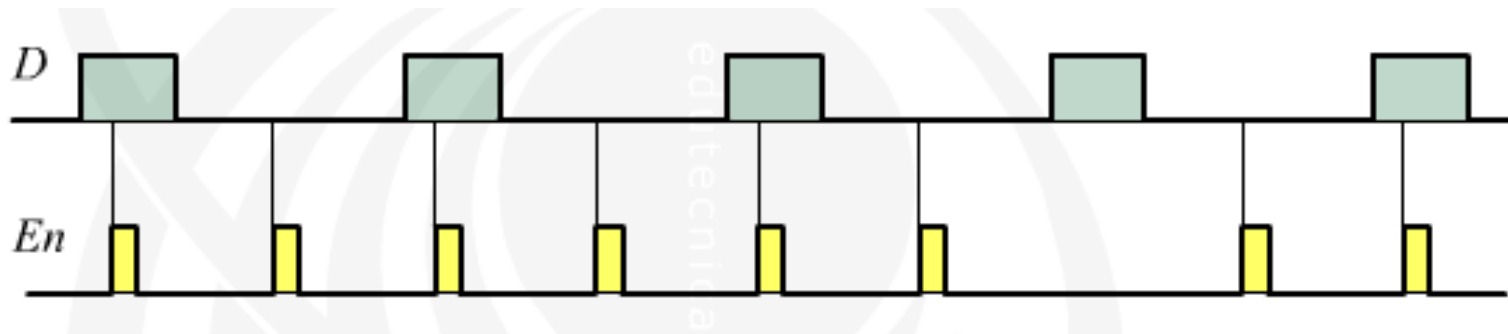
| $S$ | $R$ | $Q_{n+1}$ | $\overline{Q_{n+1}}$ |
|-----|-----|-----------|----------------------|
| $0$ | $0$ | $Q_n$     | $\overline{Q_n}$     |
| $0$ | $1$ | $0$       | $1$                  |
| $1$ | $0$ | $1$       | $0$                  |
| $1$ | $1$ | $X$       | $X$                  |





## Esercizio B

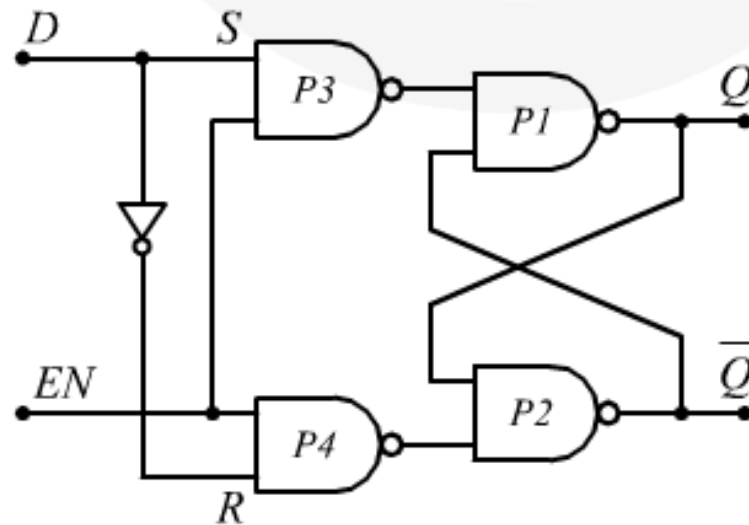
Usando un latch di tipo D (con segnale di abilitazione) i cui segnali di ingresso sono quelli disegnati, determinare l'andamento dell'uscita



# Esercizio B – soluzione

Dal circuito del latch di tipo D (con abilitazione), determiniamo la corrispondente tabella di verità

| $EN$ | $D$ | $Q_{n+1}$ |                |
|------|-----|-----------|----------------|
| $0$  | $X$ | $Q_n$     | <i>memoria</i> |
| $1$  | $0$ | $0$       | <i>reset</i>   |
| $1$  | $1$ | $1$       | <i>set</i>     |



# Esercizio B – soluzione

| $EN$ | $D$ | $Q_{n+1}$ |
|------|-----|-----------|
| $0$  | $X$ | $Q_n$     |
| $1$  | $0$ | $0$       |
| $1$  | $1$ | $1$       |

