

Modelli della concorrenza

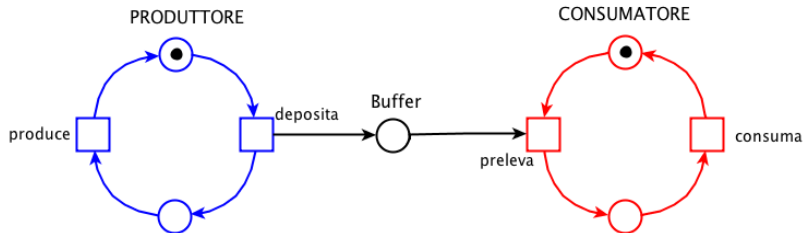
Lucia Pomello

Dai sistemi elementari alle reti P/T alle reti ad alto livello

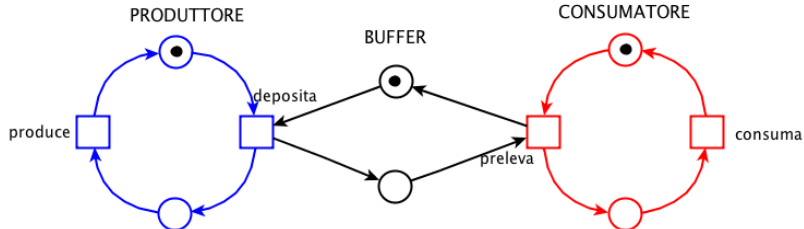
Corso di Laurea Magistrale in Informatica
Dipartimento di informatica, sistemistica e comunicazione
Università degli studi di Milano–Bicocca

Da Reti Elementari a Reti Posti e Transizioni

Esempio: buffer a una posizione

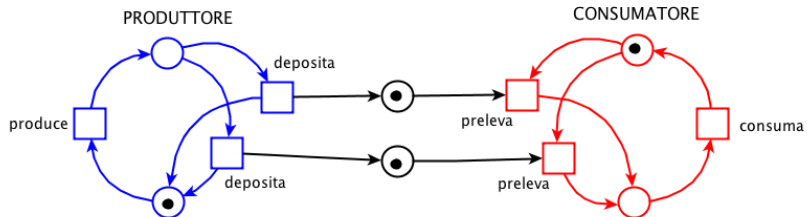


Sistemi Elementari

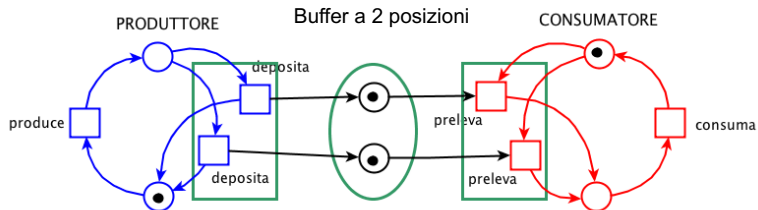


Esempio: buffer a due posizioni

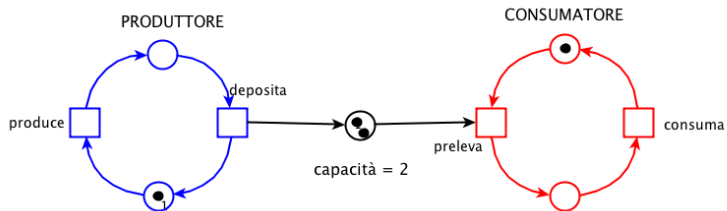
Buffer a 2 posizioni

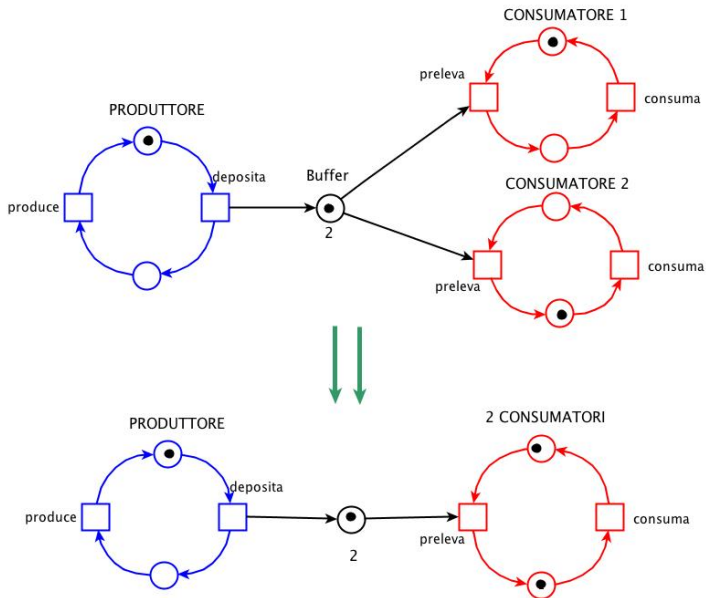


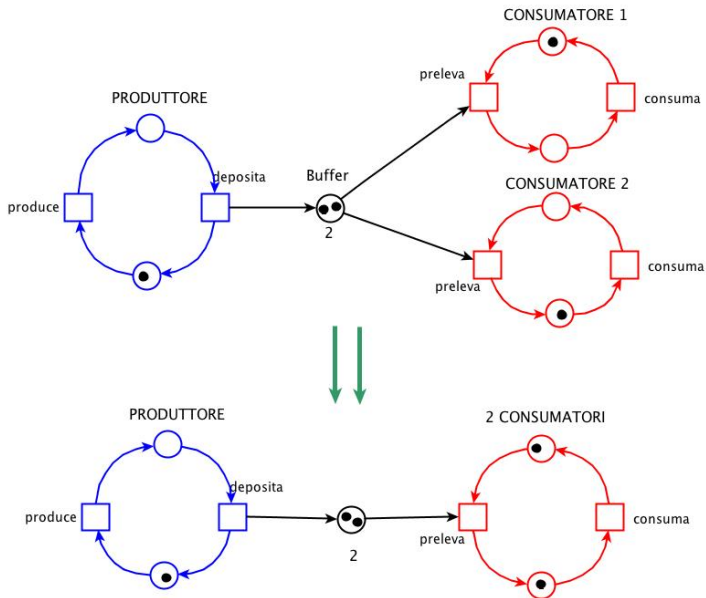
Esempio: buffer a due posizioni



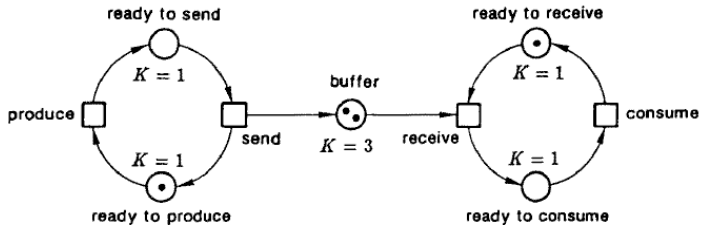
Da sistemi EN a reti P/T



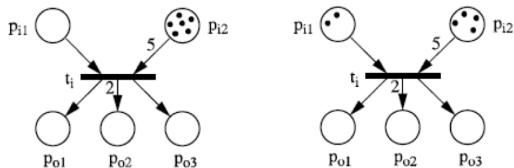




Capacity

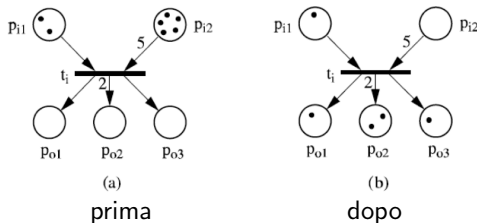


Reti Posti e Transizioni



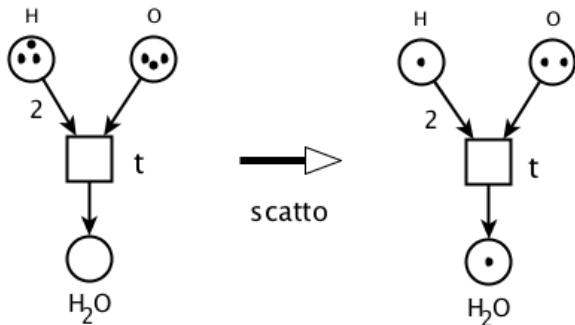
In entrambe le situazioni la transizione t_i **non** è abilitata

t_i è abilitata



lo scatto di t_i

Reti Posti e Transizioni



Da Reti Elementari a Reti Posti e Transizioni: l'esempio dei filosofi a cena

Il problema dei cinque filosofi a cena

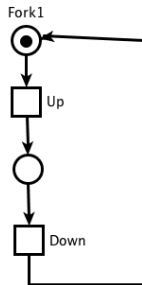
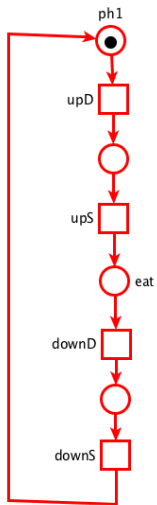


... i cinque filosofi siedono davanti a un piatto di spaghetti ...

un problema "classico" di sincronizzazione (*Edsger Dijkstra*, 1965)

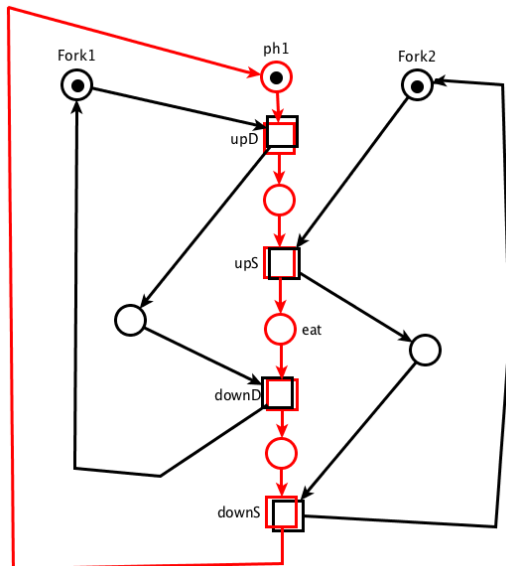
Reti elementari - reti Posti e Transizioni

i filosofi a cena



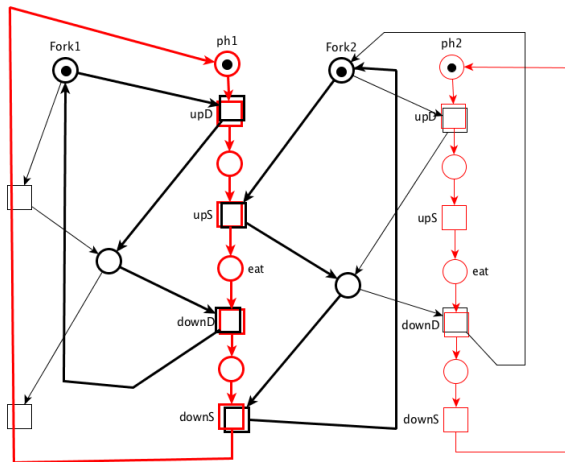
Reti elementari - reti Posti e Transizioni

un filosofo prende due forchette



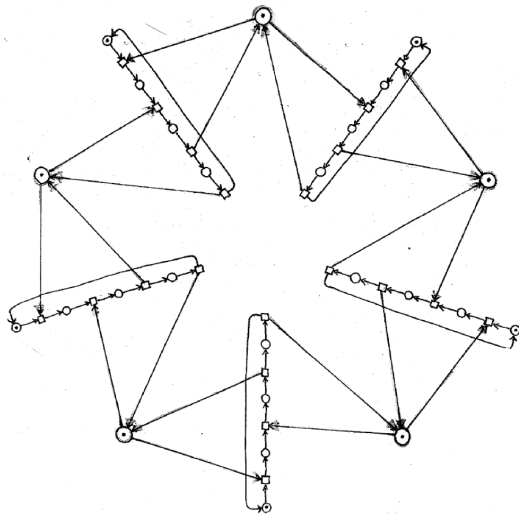
Reti elementari - reti Posti e Transizioni

un filosofo prende due forchette e ogni forchetta viene presa da due filosofi



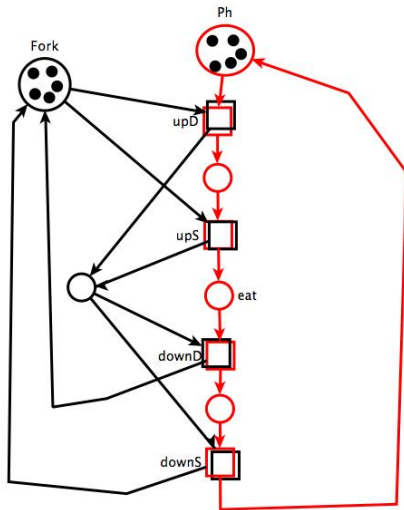
Reti elementari - reti Posti e Transizioni

il modello completo (5 filosofi e 5 forchette)



Reti Posti e Transizioni

Cosa succede se *ripieghiamo* i processi filosofo e i processi forchetta?



il protocollo cambia

Dalle reti elementari alle reti ad alto livello

Come non perdere informazione?

Come non modificare il modello/protocollo?

arricchire le marche con una *struttura dati*

→ reti ad alto livello , es: reti colorate

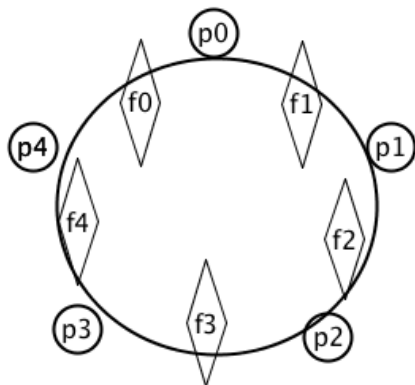
Reti Colorate

per mantenere lo stesso protocollo con un modello compatto bisogna aggiungere una struttura dati alle marche

$$Phil = \{p_0, p_1, p_2, p_3, p_4\}$$

$$Fork = \{f_0, f_1, f_2, f_3, f_4\}$$

$$(i + 1) \bmod 5$$



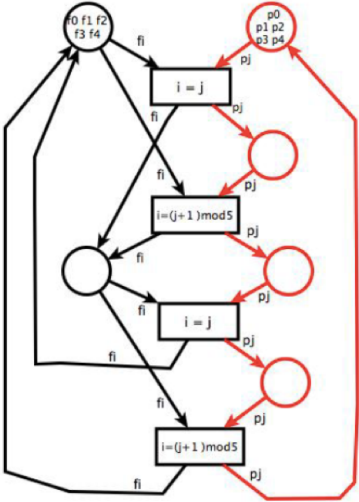
Reti Colorate

per mantenere lo stesso protocollo con un modello compatto bisogna aggiungere una struttura dati alle marche

Fork = {f0, f1, f2, f3, f4}
Phil = {p0, p1, p2, p3, p4}

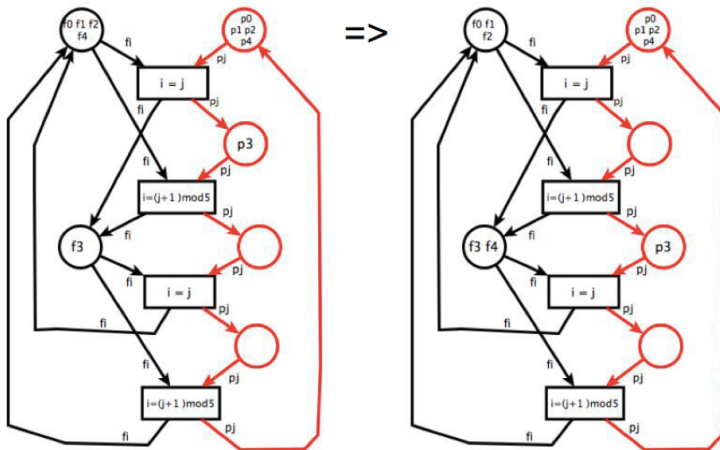
$$f_i < f_{i+1} \pmod{5}$$

$$p_j < p_{j+1} \pmod{5}$$



Reti Colorate

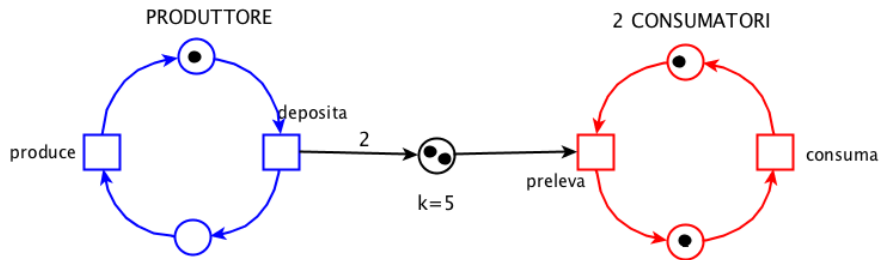
p_3 ha già preso la forchetta a destra (f_3) e prende quella a sinistra (f_4)



Reti Posti e Transizioni, definizioni di base

Reti Posti e Transizioni

un produttore, che deposita due elementi alla volta,
due consumatori e un buffer con capacità 5



Reti Posti e Transizioni (definizione)

$\Sigma = (S, T, F, K, W, M_0)$ è un **sistema Posti e Transizioni** (sistema P/T) sse

- (S, T, F) è una rete;
- $K : S \rightarrow \mathbb{N}^+ \cup \{\infty\}$ è la funzione **capacità dei posti**
- $W : F \rightarrow \mathbb{N}$ è la funzione **peso degli archi**
- $M_0 : S \rightarrow \mathbb{N} : \forall s \in S \ M_0(s) \leq K(s)$ è la **marcatura iniziale**

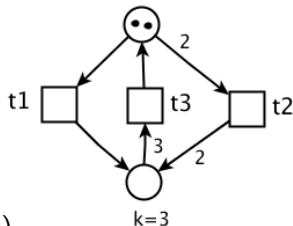
$M : S \rightarrow \mathbb{N}$ marcatura e $t \in T$

regola di transizione (regola di scatto)

$M[t >$ sse $\forall s \in S,$

$$M(s) \geq W(s, t) \wedge M(s) + W(t, s) \leq K(s)$$

$M[t > M'$ sse $M[t > \wedge \forall s \in S, M'(s) = M(s) - W(s, t) + W(t, s)$

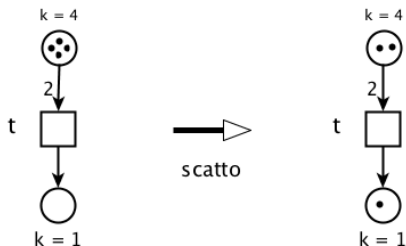


Reti Posti e Transizioni

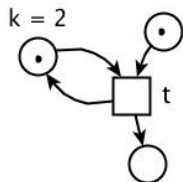
Sia $\Sigma = (S, T, F, K, W; M_0)$ un sistema P/T,
l'insieme delle **marcature raggiungibili** di Σ , $[M_0 >$, è il più piccolo insieme tale che:

- $M_0 \in [M_0 >$
- **se** $M \in [M_0 > \wedge \exists t \in T : M[t > M'$ **allora** $M' \in [M_0 >$

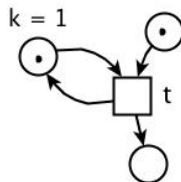
reti Posti e Transizioni



la seconda volta t non è più abilitata

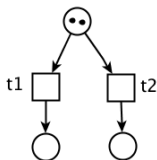


t è abilitata in M

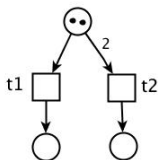


t **non** è abilitata,
non potrà **mai** essere abilitata in M

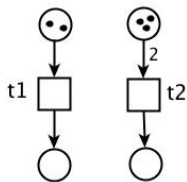
reti Posti e Transizioni



t_1 e t_2 sono abilitate in M
 t_1 e t_2 sono **concorrenti**



t_1 e t_2 sono in **conflitto**
 t_1 e t_2 **non concorrenti**
 t_2 è **abilitata**,
 t_1 è **concorrente** con se stessa
($2t_1$ è un **passo**)



il multiset $2t_1 + t_2$ è un passo abilitato
(t_1 può occorrere **concorrentemente** con se stessa e con t_2)

grafo di raggiungibilità

Sia $\Sigma = (S, T, F, K, W; M_0)$ un sistema P/T.

$RG(\Sigma) = ([M_0 >, U_\Sigma, A, M_0)$ è il **grafo di raggiungibilità** di Σ , dove

$$A = \{(M, U, M') : M, M' \in [M_0 > \wedge U \in U_\Sigma \wedge M[U > M']\}$$

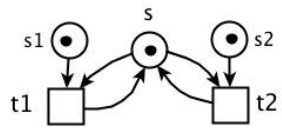
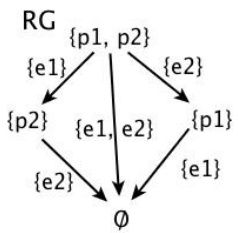
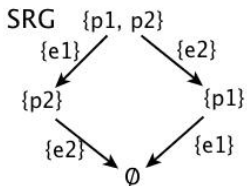
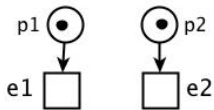
(U è un multi-insieme *abilitato in un passo*)

Se U è una singola transizione si ha il **grafo di raggiungibilità sequenziale** $SRG(\Sigma)$

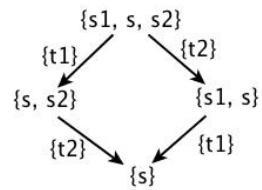
ATTENZIONE!

in generale, la diamond property **non** è più valida !
e questo a causa dei 'self-loop'

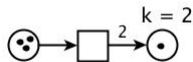
la diamond property **non** è più valida !



SRG = RG

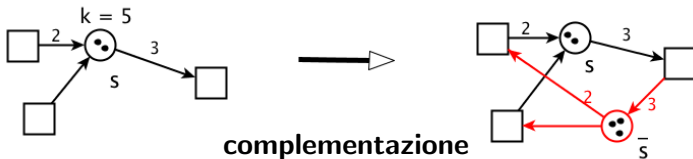


reti PT: contatto e complementazione



contatto

Come nei sistemi elementari, anche nelle reti Posti e Transizioni è sempre possibile aggiungere posti per eliminare le situazioni di contatto. e quindi il vincolo sulla capacità, senza alterare il comportamento del sistema



complementazione

si può dimostrare che per ogni marcatura raggiungibile M , $M(s) + M(\bar{s}) = K(s)$

reti PT senza contatti

Un sistema PT $\Sigma = (S, T, F, K, W; M_0)$ è **senza contatti** sse
 $\forall M \in [M_0 >, \forall t \in T, \forall s \in S$

$$M(s) \geq W(s, t) \Rightarrow M(s) + W(t, s) \leq K(s)$$

Se $\Sigma = (S, T, F, K, W; M_0)$ è un sistema PT *senza contatti* allora

t è **abilitata** in $M \in [M_0 > (M[t >)$ sse $\forall s \in S M(s) \geq W(s, t)$

nei sistemi *senza contatti*,

la capacità non ha più alcun ruolo nella regola di scatto

una transizione può scattare se nei suoi posti di input ci sono abbastanza marche

reti marcate

Un sistema PT $\Sigma = (S, T, F, K, W; M_0)$ è una **rete marcata** sse

$$\forall s \in S \ M_0(s) \in \mathbb{N} \wedge K(s) = \infty \wedge$$

$$\forall t \in T \ W(s, t) \leq 1 \wedge W(t, s) \leq 1$$

Le reti marcate sono denotate $(S, T, F; M_0)$ in quanto K e W sono ridondanti

Una rete marcata $(S, T, F; M_0)$ è **sicura (safe)** sse

$$\forall M \in [M_0 >, \forall s \in S : M(s) \leq 1$$

NOTA: in una rete marcata i loop possono essere abilitati



t è abilitata

sistemi elementari - reti PT - reti marcate

sistemi PT

$$\Sigma = (S, T, F, K, W; M_0)$$

sistemi elementari

$$\Sigma = (B, E, F; c_0)$$

$$K(s) = 1$$

reti marcate

$$(S, T, F; M_0)$$

$$K(s) = \infty \wedge M_0(s) \in \mathbb{N}$$

$$W(s, t) \leq 1 \wedge W(t, s) \leq 1$$



non abilitato

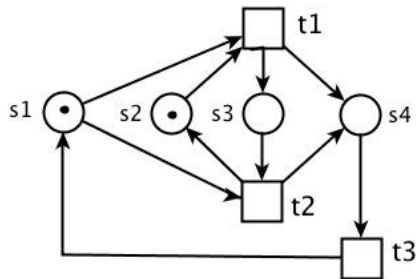
abilitato

**sistemi elementari puri \cong
reti marcate pure e sicure (safe)**

(una rete è pura sse è senza cappi)

matrice di incidenza \underline{N}

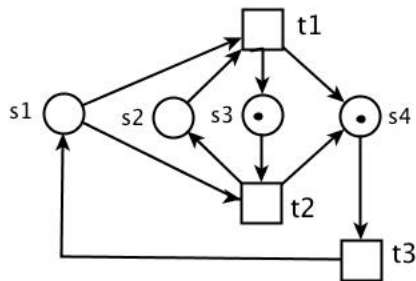
Sia $\Sigma = (S, T, F, K, W; M_0)$ un sistema P/T tale che: $\forall s \in S \quad K(s) = \infty$ e $\underline{N} = (S, T, F)$ sia **senza cappi**. Allora il sistema può essere rappresentato da un'unica matrice $\underline{N} : S \times T \rightarrow \mathbb{N}$ chiamata **matrice di incidenza**.



$$\underline{N} = \underline{F} - \underline{B}$$

	t1	t2	t3
s1	-1	-1	1
s2	-1	1	
s3	1	-1	
s4	1	1	-1

equazione di stato: es.1



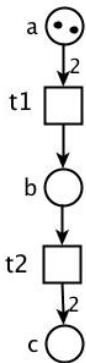
$$\underline{N} = \underline{F} - \underline{B}$$

	t1	t2	t3	M0	M1
s1	-1	-1	1	1	
s2	-1	1		1	
s3	1	-1			1
s4	1	1	-1		1

$$M_0[t_1 > \Leftrightarrow \underline{M_0} + \underline{t_1} \geq \underline{0} \quad (\Leftrightarrow \underline{M_0} + \underline{N_{t_1}} \geq \underline{0})$$

$$M_0[t_1 > M_1 \Leftrightarrow \underline{M_0} + \underline{t_1} = \underline{M_1}$$

equazione di stato: es.2

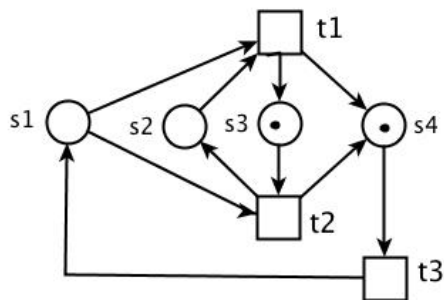


$$\underline{N} = \underline{F} - \underline{B}$$

	t1	t2	M0	M1	M2
a	-2		2		
b	1	-1		1	
c		2			2

$$M_0[t_1 > M_1[t_2 > M_2 \Leftrightarrow \underline{M}_0 + \underline{t}_1 + \underline{t}_2 = \underline{M}_2$$

equazione di stato



	t1	t2	t3	M0	M1
s1	-1	-1	1	1	
s2	-1	1		1	
s3	1	-1			1
s4	1	1	-1		1

$$M_0[t_1 > M_1 \Rightarrow \underline{M_0} + \underline{t_1} = \underline{M_1}$$

(es: $M_0[t_1 t_3 t_2 t_3 t_1 > M_1$, $\sigma = t_1 t_3 t_2 t_3 t_1$ e $\underline{c_\sigma} = \begin{bmatrix} 2 \\ 1 \\ 2 \end{bmatrix}$)

$$M_0[\sigma > M_1 \Rightarrow \underline{M_0} + \underline{N} \cdot \underline{c_\sigma} = \underline{M_1} \quad \text{equazione di stato}$$

$$\text{dove } \underline{N} \cdot \underline{c_\sigma} = \begin{bmatrix} -2 & -1 & +2 \\ -2 & +1 \\ 2 & -1 \\ 2 & +1 & -2 \end{bmatrix} = \begin{bmatrix} -1 \\ -1 \\ +1 \\ +1 \end{bmatrix} \quad (\text{prodotto righe per colonne})$$

reti PT: proprietà di comportamento

reti PT: proprietà di comportamento

Sia $\Sigma = (S, T, F, K, W; M_0)$ un sistema P/T tale che: $\forall s \in S \ K(s) = \infty$.

- Σ è **limitato** (bounded) sse $\exists n \in \mathbb{N}: \forall s \in S, \forall M \in [M_0 > : M(s) \leq n$.
- Σ è **safe** (1-safe, sicuro) sse $\forall s \in S, \forall M \in [M_0 > : M(s) \leq 1$.

Σ è **limitato** $\iff [M_0 >$ è un insieme **finito** ($RG(\Sigma)$ è **finito**).

reti PT: proprietà di comportamento

- Σ è **terminante** sse non ammette sequenze infinite
- $M \in [M_0 >$ è una marcatura di **deadlock** sse $\forall t \in T \text{ not}(M[t >)$
- Σ è **deadlock-free** sse $\forall M \in [M_0 > \exists t \in T: M[t >$
(sse $\nexists M \in [M_0 > : M$ è una marcatura di deadlock)
- Σ è **1-vivo** (1-live) sse $\forall t \in T, \exists M \in [M_0 > : M[t >$
- Σ è **vivo** (live) sse $\forall t \in T, \forall M \in [M_0 > \exists M' \in [M > : M'[t >.$

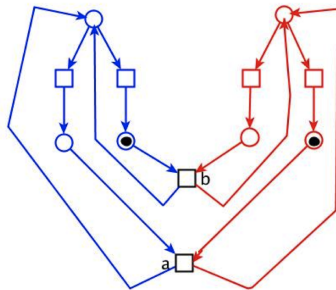
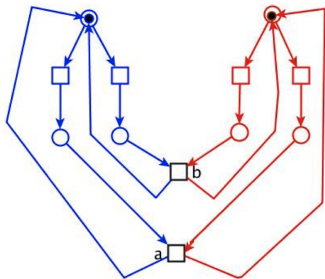
vivezza \Rightarrow assenza di deadlock (deadlock-freeness)

- Σ è **reversibile** (ciclico) sse $\forall M \in [M_0 > : M_0 \in [M >$

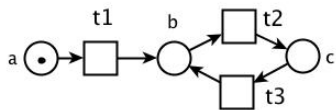
reversibilità + 1-vivezza \Rightarrow vivezza

Σ è **reversibile** \iff il suo grafo delle marcature raggiungibili è
strettamente connesso

esempi



deadlock



rete PT 1-viva, **non** viva, deadlock-free

Tecniche di verifica di proprietà

- analisi del grafo di raggiungibilità o di un prefisso dell'unfolding
- analisi strutturale (del grafo della rete)
 - ▶ tecniche basate su algebra lineare
 - equazione di stato che descrive la dinamica
 - S-invarianti e T-invarianti
 - ▶ studio del grafo della rete, di particolari sottoinsiemi di nodi,...
 - ▶ per particolari sottoclassi di reti esistono condizioni necessarie e sufficienti per garantire proprietà di comportamento (es: macchine a stati, grafi marcati, reti Free-choice)