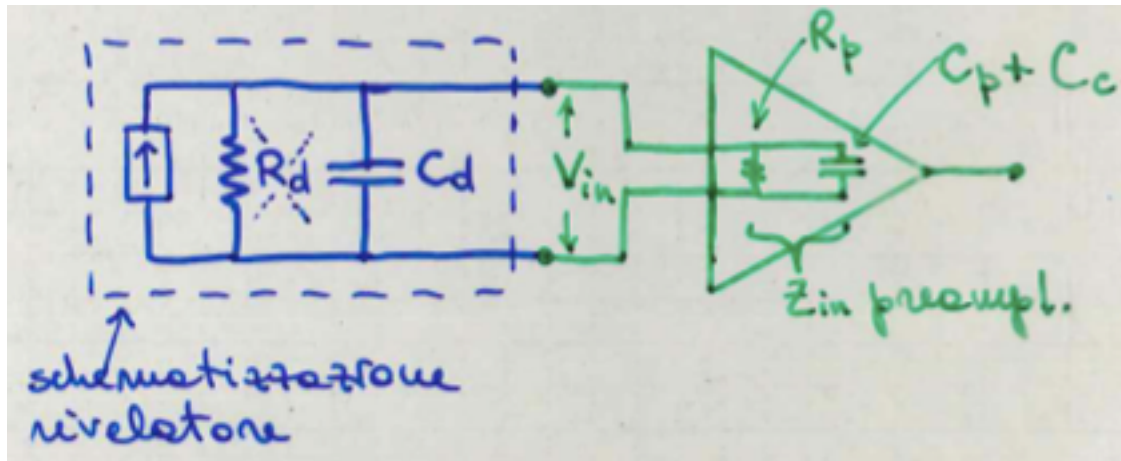
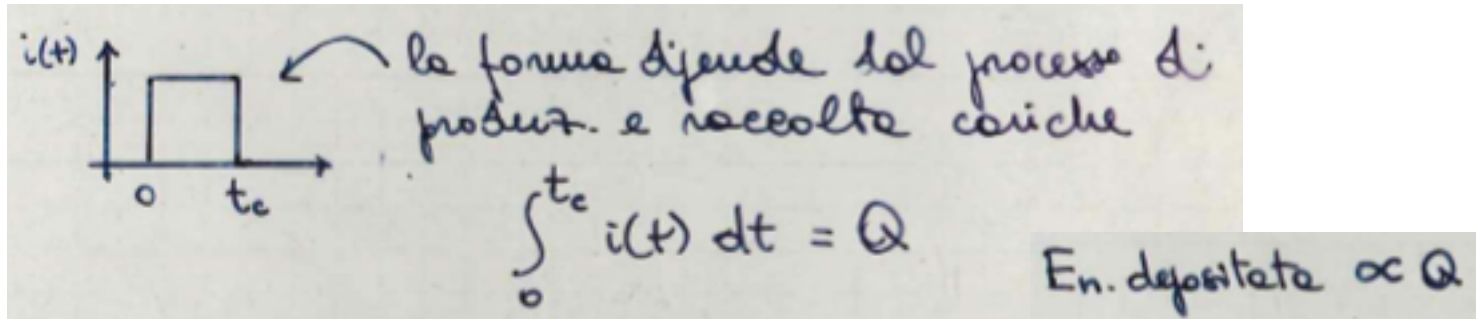


# Analisi dei segnali provenienti dai rivelatori

## AMPLIFICAZIONE E 'SHAPING'

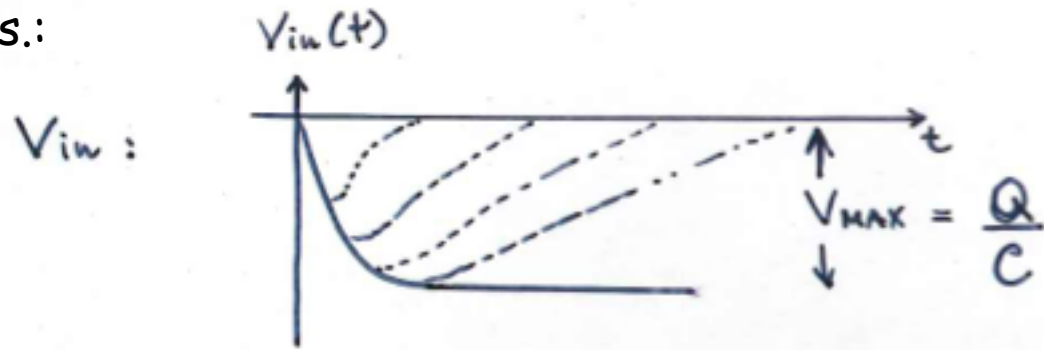
- interaz. radiaz.-rivelatore  $\rightarrow$   $Q$  prodotta all' "istante"  $t=0$  dell'interazione (o  $\gamma$  trasformati poi in cariche)
- $Q$  viene raccolta tramite campi elettrici, il tempo di raccolta,  $t_c$ , cambia a secondo del tipo di rivelatore (camere a ionizz.  $t_c \sim \text{ms}$ , semiconduttori  $t_c \sim \text{ns}$ ) della mobilità dei portatori di carica e delle distanze medie che devono attraversare



$\leftarrow$  capac. d'ingr. preampl. +  
capacità cavo di connessione

$R_d$  in genere molto grossa...

es.:



$$C = C_d + C_p + C_c$$

per  $\tau \rightarrow \infty$   $V_{in}$  raggiunge  $V_{MAX}$  e resta stabile a tale valore

per  $\tau \ll t_c$   $V_{in}$  non riesce a salire fino a  $V_{MAX}$

per  $\tau \gg t_c$  ci avviciniamo alla situazione  $\tau \rightarrow \infty$  :  $V_{in}$  si avvicina molto a  $V_{MAX}$  prima di decrescere con tempi lunghi

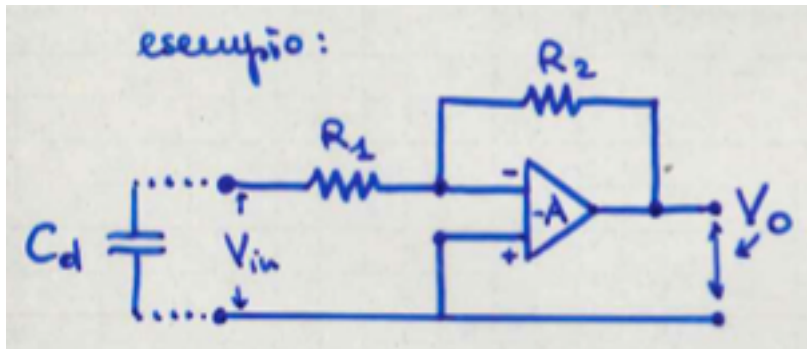
→ compromesso tra 'ampiezza  $V_{in}$ '  $\approx V_{MAX}$  e tempo di decrescita del segnale  
(--> rate max)

## Preamplificatori

i segnali dei rivelatori sono in genere piuttosto 'piccoli' in ampiezza e vanno trasportati all'elettronica di analisi fedelmente e/o velocemente

- **amplificare minimizzando il rumore elettr.**  
si pongono perciò sul rivelatore (poco cavo → poco pick-up di campi e.m. vaganti + poca attenuaz.)
- **ottimizzare l'accoppiamento tra il riv. ed il resto del read-out** ( $Z_{in}$  e  $Z_{out}$  preampl.)
- **assicurare capacità di 'driving' in uscita** per la trasmissione del segnale lungo il cavo

### Voltage sensitive



$$V_o = -A V_{in} = -A \frac{Q}{C}$$

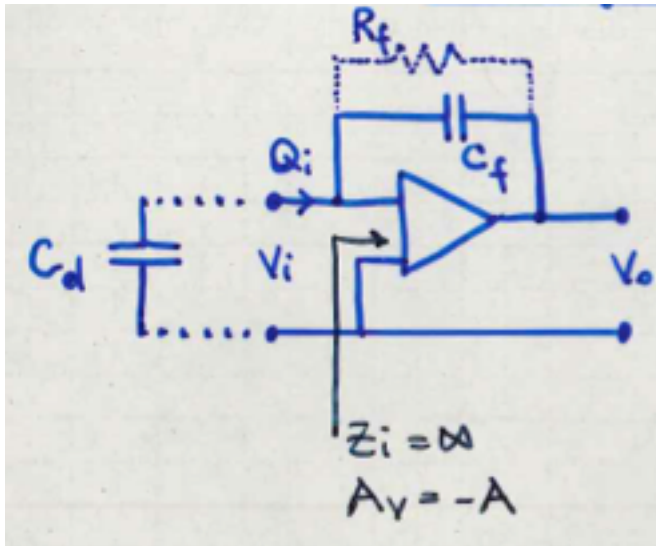
$\left( \frac{R_2}{R_1} \right)$   
loop chiuso...

$$C = C_d + C_p + C_c$$

in genere  $C_d$  è cost. (forma e dimensioni rivel.)

eccezione: riv. a semicond.  $C_d = f(\text{temp}) \rightarrow$  si perde prop. alla carica  $\rightarrow$  si usano i charge-sensitive preampl. in grado di 'eliminare la dipendenza da  $C_d$ ' ripristinando la proporzionalità a  $Q$

# Charge sensitive



loop aperto...

$$V_0 = -A V_i \quad V_f + V_0 - V_i = 0, \quad V_f = V_i - V_0 = V_i(1+A)$$

$$\rightarrow \text{carica depositata su } C_f: \quad Q_f = C_f V_f = C_f (A+1) V_i$$

$$\text{poiché } Z_i = \infty \rightarrow Q_i = Q_f \rightarrow$$

$\rightarrow$  capac. d'ingr. effettiva o capac. d'ingr. dinamica

$$C_i = \frac{Q_i}{V_i} = \frac{Q_f}{V_i} = C_f (A+1)$$

**GAIN:**

$$A_Q = \frac{V_0}{Q_i} = -\frac{A V_i}{Q_i} = -\frac{A Q_i}{C_f (A+1)} \frac{1}{Q_i} = -\frac{A}{A+1} \frac{1}{C_f} \approx -\frac{1}{C_f}$$

$A \gg 1$

non dipende da  $C_d$ !

$$V_0 \approx -\frac{Q_i}{C_f}$$

$Q_i$  è la carica che fluisce nel preampl., una parte della carica iniz. prodotta nel riv.,  $Q_s$ , rimane su  $C_d$

fraz. misurata del segnale di carica:

$$= \frac{Q_i}{Q_s} = \frac{C_i V_i}{Q_d + Q_i} = \frac{C_i V_i}{(C_d + C_i) V_i} = \frac{1}{1 + \frac{C_d}{C_i}} \approx 1$$

$\uparrow$   
se  $C_i \gg C_d$

esempio:

$$\left. \begin{array}{l} A = 10^3 \\ C_f = 1 \text{ pF} \end{array} \right\} C_i = (A+1) C_f = 1 \mu\text{F}$$

a)  $C_d = 10 \text{ pF} : \frac{Q_i}{Q_s} = \frac{1}{1 + \frac{C_d}{C_i}} \stackrel{C_i \gg C_d}{\approx} 1 - \frac{C_d}{C_i} = 0.99$

b)  $C_d = 1000 \text{ pF} : \frac{Q_i}{Q_s} = \frac{1}{2}$

(Si det: 50  $\mu\text{m}$  thick, 500  $\text{mm}^2$  area)

per scaricare  $C_f$  si mette in genere un resistore di valore elevato  $R_f$  in // a  $C_f \rightarrow$  lunga coda exp. (altri metodi: optical o transistor reset  $\rightarrow$  non coda exp.)

## 'NOISE FIGURE' : NF

NF  $\leftrightarrow$  R.M.S. ( $V_n$ ) è legata all'r.m.s. della tensione d'uscita del preampl. dovuta al noise

espressa anche in **Equivalent Noise Charge**: quantità di carica t.c. applicata all'IN dà origine ad una tensione d'uscita uguale al livello dell'RMS dell'uscita dovuta solo al rumore

ENC è anche 'tradotta' in deposito di energia equivalente da parte di una particella carica in un rivelatore (es. qualche keV in un riv. a semicond.)

il rapporto

A handwritten formula in blue ink on a light background. It shows the ratio of signal to noise, written as 'SEGNALE' over 'RUMORE' in all caps, followed by an equivalence symbol and the ratio 'Signal' over 'Noise' in title case.

$$\frac{\text{SEGNALE}}{\text{RUMORE}} \quad (\equiv \frac{\text{Signal}}{\text{Noise}})$$

è in genere funzione della capacità totale all'in. del preampl.

A handwritten formula in blue ink on a light background. It shows the signal-to-noise ratio S/N is proportional to the inverse of capacitance 1/C.

$$\frac{S}{N} \propto \frac{1}{C}$$

$\rightarrow$   $\left\{ \begin{array}{l} \text{cavi corti} \\ \text{rivel. con bassa capacità!} \end{array} \right.$

$\rightarrow$  ENC =  $Q_s$  t.c.  $S/N = 1$

es. di 'rumore' intrinseco: Johnson noise di un R (tensione a circuito aperto ai capi di un resistore dovuta a fluttuazioni di fenomeni dissipativi, funzione di R, T...; dell'ordine dei  $\mu\text{V}$  per  $R \sim 10\text{k}\Omega$ )

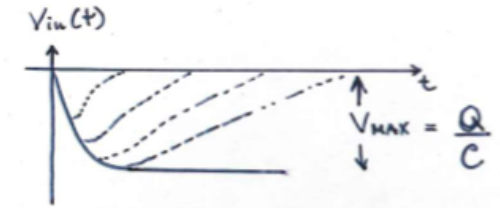
## Amplificatori

usati spesso dopo i preampl per:

- amplificare il segnale
- formarlo in modo conveniente per successive utilizzazioni (tagliare la coda exp.  $\rightarrow$  tempo morto + pile up)

deve preservare l'info che interessa:

- tempo  $\rightarrow$  veloce, mantenere  $t_{rise} \rightarrow$  B.P. larga
- alt. d'impulso  $\rightarrow OUT \propto IN$  (lin.)



contiene la rete di

## Pulse Shaping

- evitare il pile up
- migliorare S/N filtrando alle freq. dove il rumore è maggiore  $\rightarrow$  stringere B.P.

le richieste di mantenimento dell'informazione voluta si spostano sulla rete di shaping...

- tempi  $\rightarrow$  B.P. larga
  - alt. d'impulso  $\rightarrow$  buon S/N  $\rightarrow$  stringere B.P.
- se si vogliono entrambe bisogna trovare un compromesso....



## CR-RC shaping

CR diff. + RC integr.

metodo più comune, 'arrotonda' il picco e taglia la coda

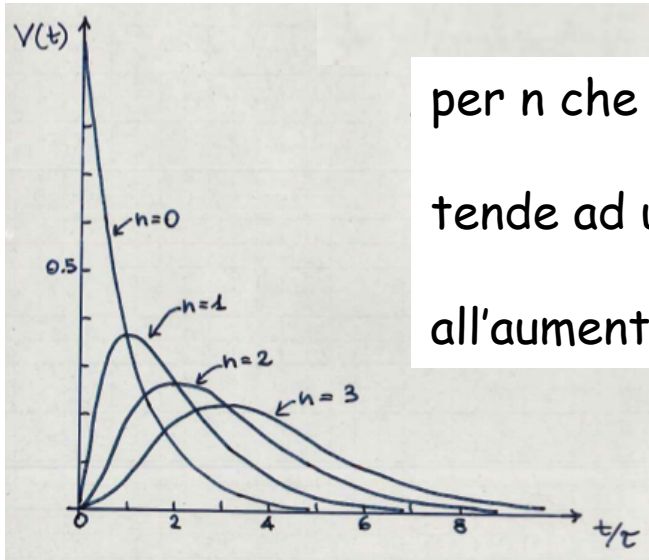
soluz. (risp. al gradino):

$$V_{out} = \frac{V\tau_d}{\tau_d - \tau_i} \left( e^{-t/\tau_d} - e^{-t/\tau_i} \right) \text{ se } \tau_d \neq \tau_i$$

$$V_{out} = \frac{Vt}{\tau} e^{-t/\tau} \text{ se } \tau_d = \tau_i$$

filtrando a basse (CR) ed alte (RC) frequenze in genere migliora S/N

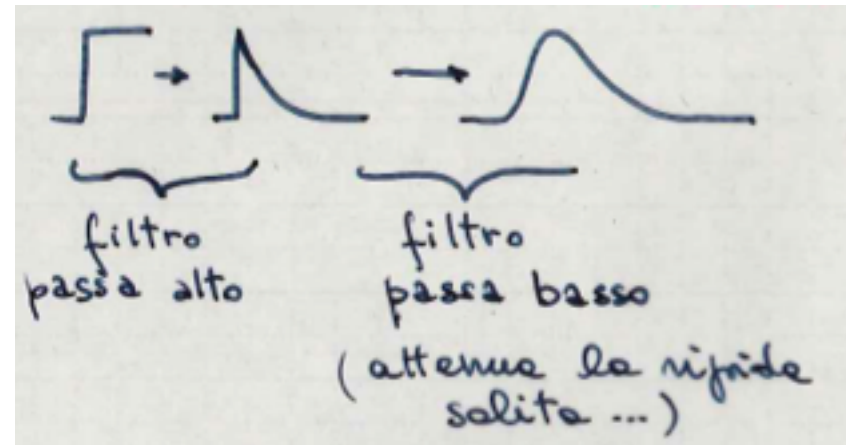
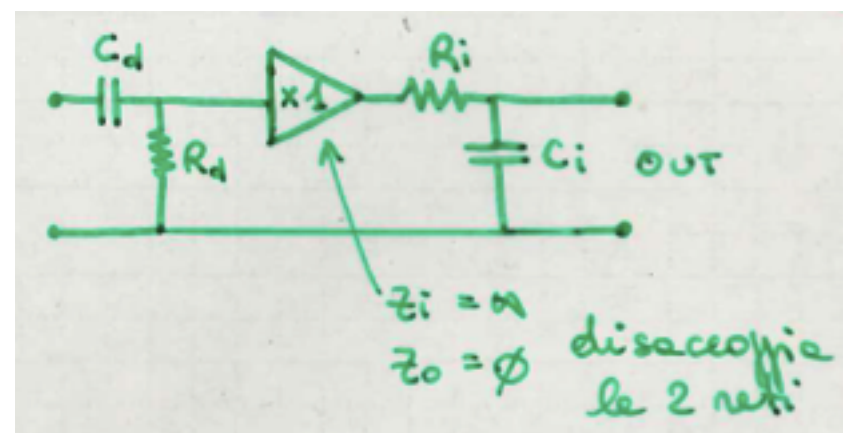
## CR-(RC)<sup>n</sup>



per n che aumenta → impulso più simmetrico

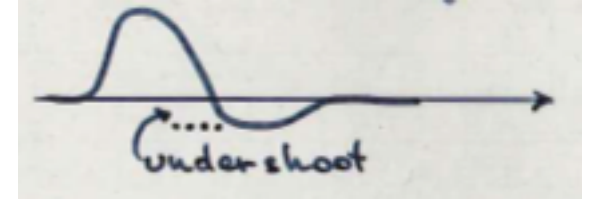
tende ad una forma gaussiana (n>4)

all'aumentare di n migliora anche S/N



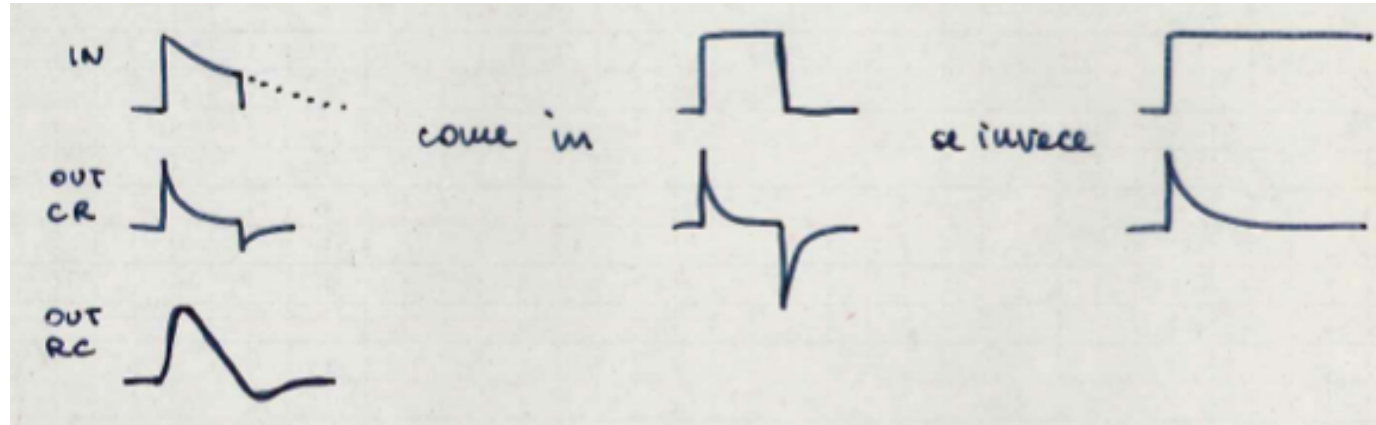
## Pole Zero Cancellation & Baseline Restoring

un problema comune a molti circuiti di shaping tipo CR-RC è che agendo su impulsi in ingresso che hanno code exp. 'tagliate' danno in uscita un segnale con un certo undershoot:



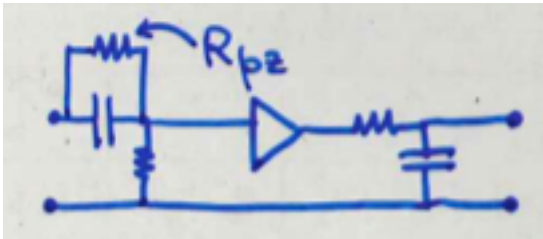
intuitivamente:

in caso di segnali temporalmente vicini viene alterata l'altezza d'impulso



una piccola variazione del circuito permette la

### **Pole Zero Cancellation**

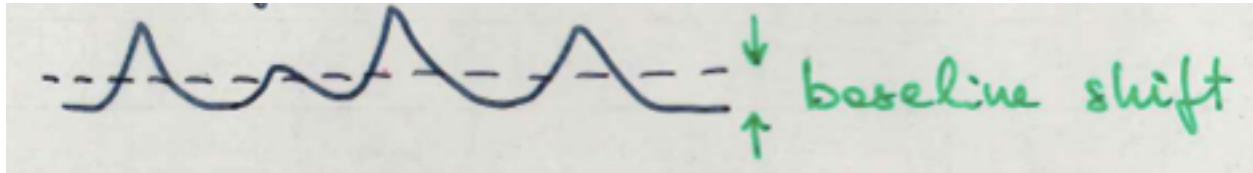


intuitivamente: aggiungendo  $R_{pz}$  ho un partitore per cui una parte attenuata di  $V_i$  viene portata in uscita al CR e cancella l'undershoot (bisogna stare attenti negli accoppiamenti con i circuiti succ. a non far rinascere il problema...)

il valore  $R_{pz}$  va variato guardando l'OUT all'oscilloscopio finchè l'undershoot non è eliminato

inoltre...

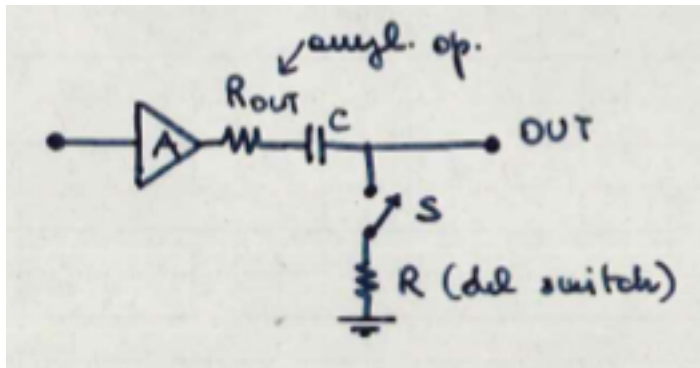
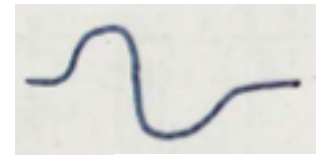
quando ho molti impulsi in ingresso la C del CR si 'caricherà' ad una sorta di 'valor medio', variabile però nel tempo a causa della freq. ed ampiezza degli impulsi in ingresso:



lo spostamento nel tempo di questa baseline 'falsa' ovviamente influenza anche l'OUT e si rischia di misurare un'altezza d'impulso diversa da quella reale

**soluzioni:**

- **impulsi bipolari** con aree uguali t.c. il valore DC sia nullo
- **baseline restorer circuit**



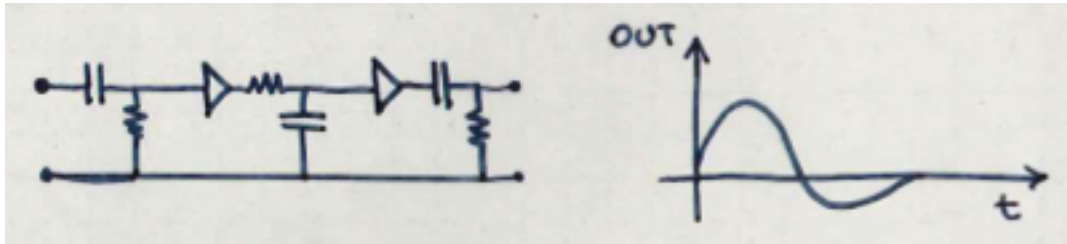
S (switch) è aperto per tutta la durata dell'impulso, chiudendosi riporta l'OUT a 0 con  $\tau = (R + R_{OUT})C$

S è in genere un diodo o un circuito più complesso

questo circuito è spesso posto all'uscita dell'ampl. prima dell'ADC

# ALTRI METODI DI SHAPING

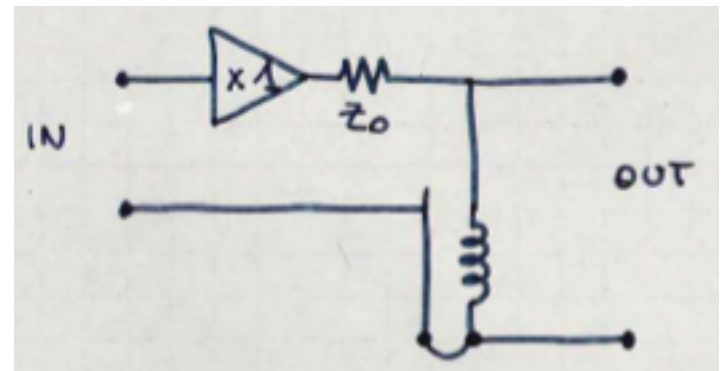
## Doppia differenziazione CR-RC-CR



uscita bipolare ma i due lobi non hanno area esattamente uguale (baseline...)  
rispetto al CR-RC, peggiore S/N

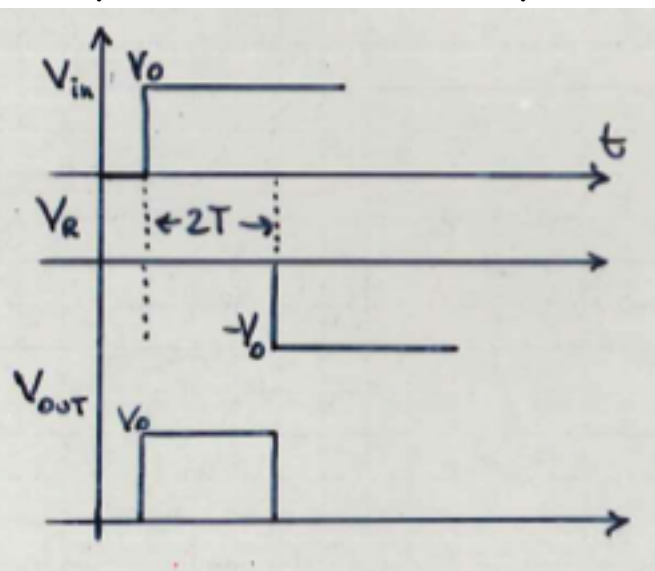
## Single Delay Line shaping

- l'ampl. op. disaccoppia le impedenze
- $Z_0$  termina il cavo



linea di rit.  
cortocircuitata

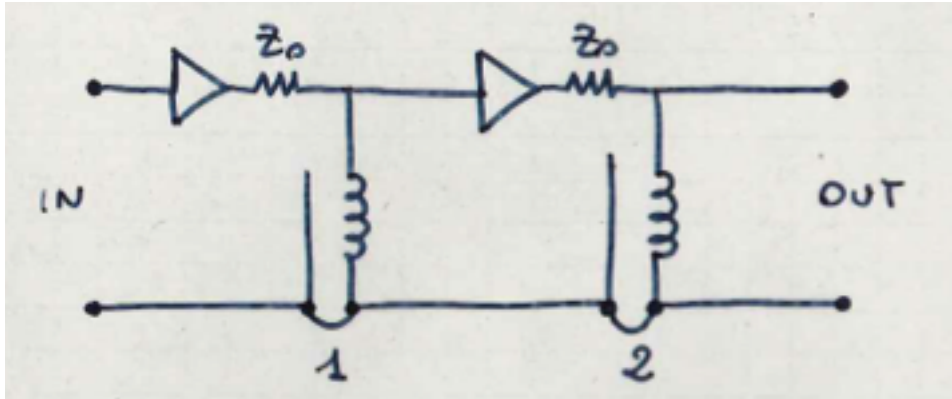
tempo di salita IN  $\ll$  t percorrenza linea (T)



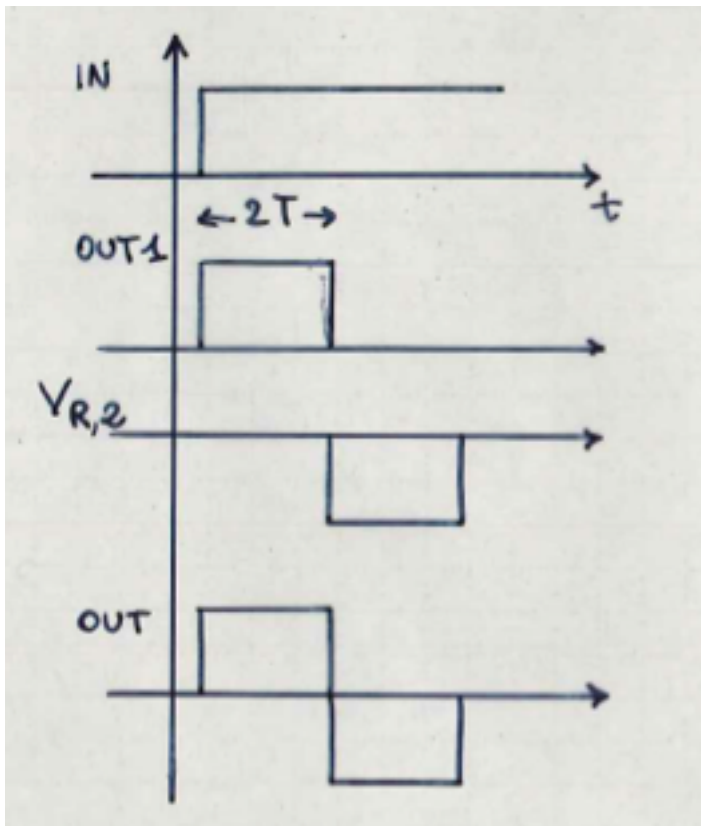
$V_R = V$  riflesso (visto all'in della linea di trasmissione)

non altera il tempo di salita!

## Double Delay Line shaping



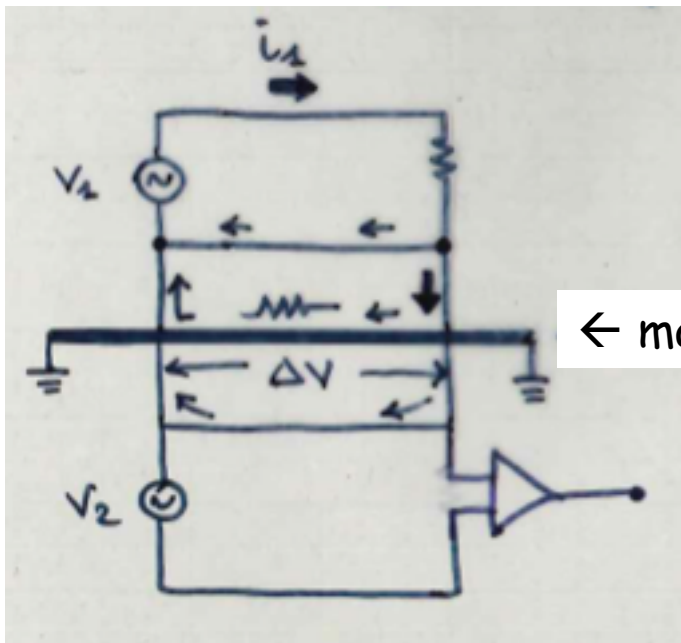
2 linee di ritardo con uguale tempo di percorrenza  $T$



- DC level 0! usato specie per elevati counting rates
- stesso  $t_{\text{rise}}$  dell'IN
- peggiore S/N perché non ci sono filtri

## ORIGINE NOISE 'esterno'

- light pick-up  
(fotomoltiplicatori, riv. a semicond. ~ fotodiodi...)
- effetto microfono  
(variaz. capacità dovuta a vibraz. meccaniche ← motori, freq. di rete)
- RF pick-up  
(acceleratori, computers, radar, TV,... → schermi, calze a rete fitta )
- Ground Loops  
( $\Delta V$  su cavi di massa, a causa dell'esistenza di R anche se piccola, provoca I in altri circuiti... → cavi spessi, evitare loops)

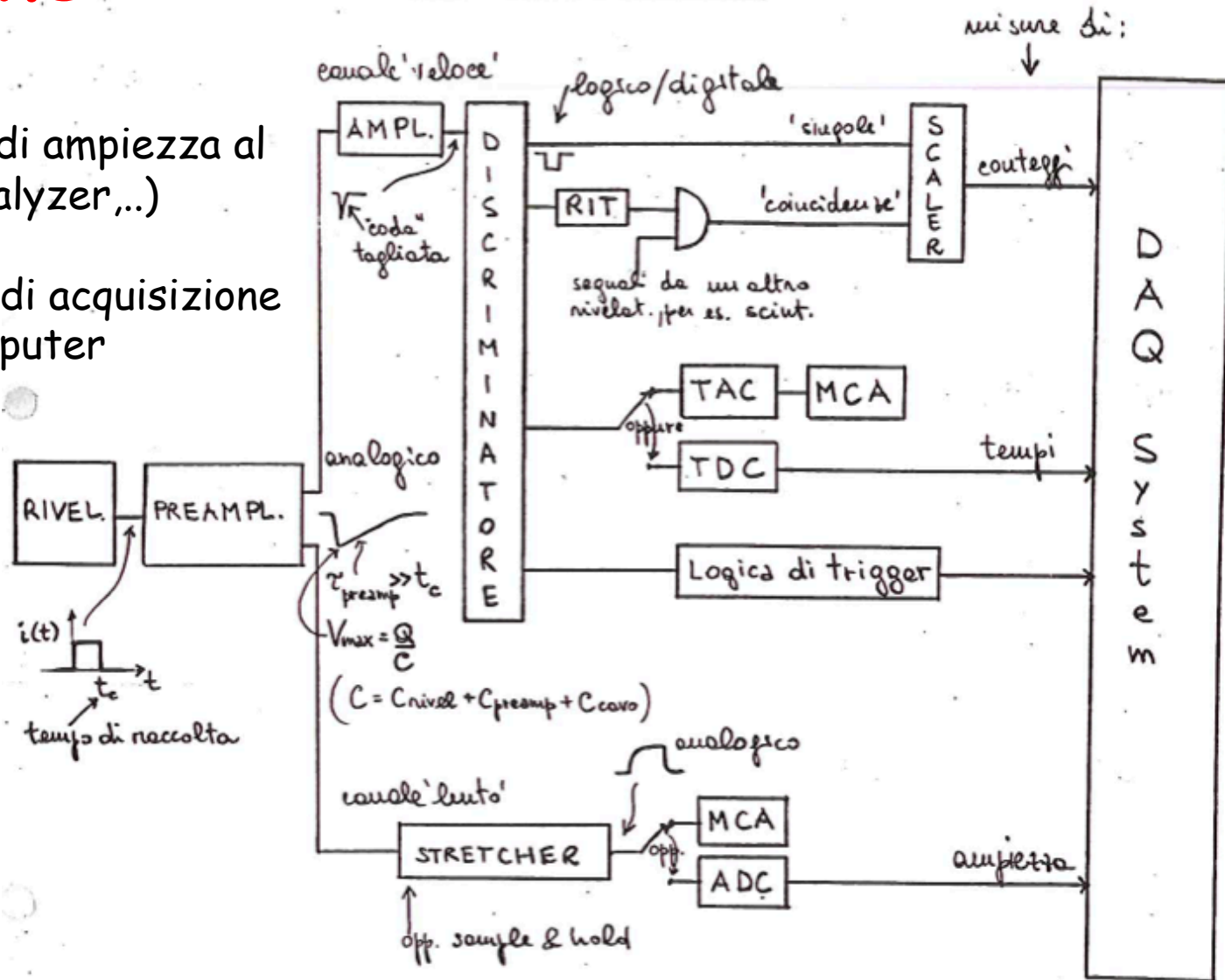


← massa comune

$\Delta V$  influenzerà l'OUT dell'amplificatore

# Acquisizione

- 'manuale' (scaler, spettri di ampiezza al MultiChannelAnalyzer,...)
- 'automatica' tramite sistemi di acquisizione gestibili via computer



segnali 'veloci'  
 → distorsioni (RC parassiti), riflessioni sui cavi  
 → necessità di el. veloce con banda passante di 100aia di MHz

la maggior parte dell'elettronica base è "standardizzata" in forma modulare:

NIM, CAMAC, FASTBUS, VME, ATCA, etc...

- exp. 'piccola scala'
- non gestibili via computer (espletano in genere le funzioni più basilari: ampl., discr., AND, OR, FAN-IN/OUT...)

- exp. 'larga scala'
- "intelligenti", in grado di 'dialogare' via computer (es. scaler, TDC, ADC, registri I/O...)

### Standard NIM: Nuclear Instrument Module

moduli elettronici, suddivisi secondo la funzione che espletano, con specifiche meccaniche ed elettriche standard, che possono essere connessi come si desidera tramite cavetti coassiali





non serve conoscere il funzionamento dettagliato dell'elettronica a livello del design del circuito ma solo la logica di funzionamento

## NIM LOGICI

- slow positive logic ( $t_r \sim 100$  aia ns, 0-5 V, non usati in fis. delle alte energie)
- fast negative logic
  - risetime  $\sim$  ns
  - durate  $\sim$  ns ÷ 10-ine ns

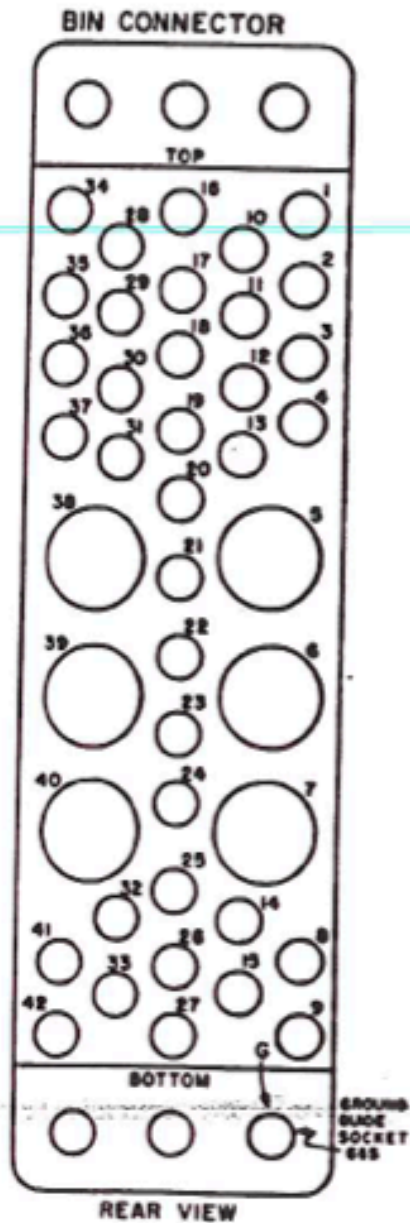
	Out	In
Logic '1'	$-14 \div -18 \mu\text{A}$	$-12 \div -36 \mu\text{A}$
Logic '0'	$-1 \div +1 \text{ mA}$	$-4 \div 20 \mu\text{A}$

} su  $50 \Omega!$

definizione dei livelli "current based" ma su  $50 \Omega$  ( $Z_0$  cavi)  $\rightarrow$

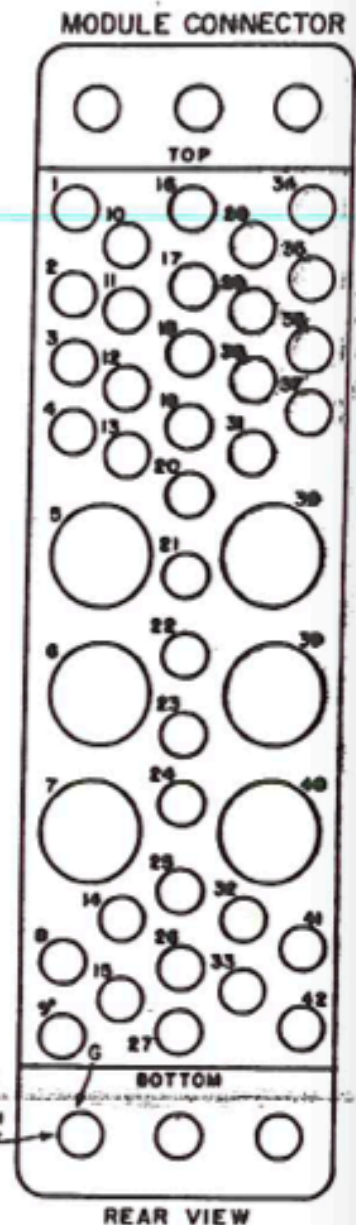
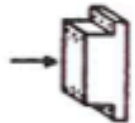


correnti piuttosto elevate, i segnali possono esser trasmessi su cavi relativamente lunghi (attenuazione...)



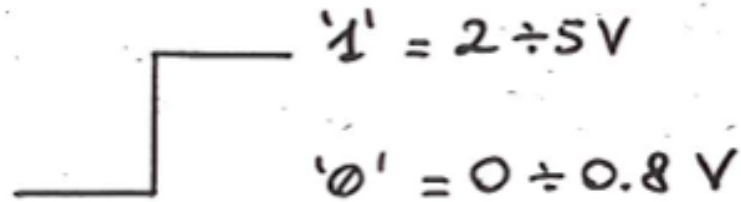
PIN	FUNCTION
1	+ 3 VOLTS
2	- 3 VOLTS
3	SPARE
4	RESERVED
5	COAXIAL
6	COAXIAL
7	COAXIAL
8	+ 200 VOLTS D.C.
9	SPARE
10	+ 6 VOLTS
11	- 6 VOLTS
12	RESERVED
13	CARRY NO. 1
14	SPARE
15	RESERVED
16	+12 VOLTS
17	-12 VOLTS
18	SPARE
19	RESERVED
20	SPARE
21	SPARE
22	RESERVED
23	RESERVED
24	RESERVED
25	RESERVED
26	SPARE
27	SPARE
28	+24 VOLTS
29	- 24 VOLTS
30	SPARE
31	CARRY NO. 2.
32	SPARE
33	117 VOLTS A.C. (HOT)
34	POWER RETURN GND
35	RESET
36	GATE
37	SPARE
38	COAXIAL
39	COAXIAL
40	COAXIAL
41	117 VOLTS A.C. NEUTRAL
42	HIGH QUALITY GND
G	GROUND GUIDE PIN

◆ MUST BE BUSSED TO ALL BIN CONNECTORS P819 THROUGH P8128

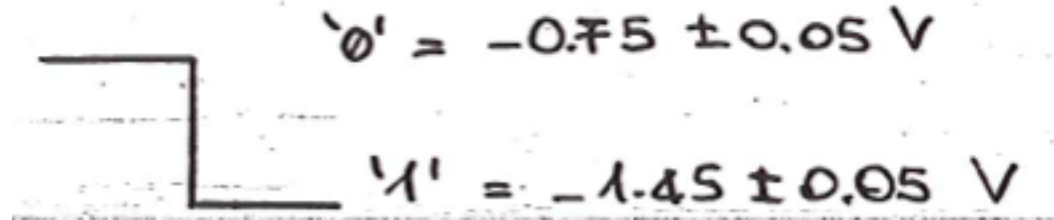


spesso si trovano in moduli NIM anche segnali logici appartenenti ad altre due famiglie logiche:

TTL: Transistor Transistor Logic



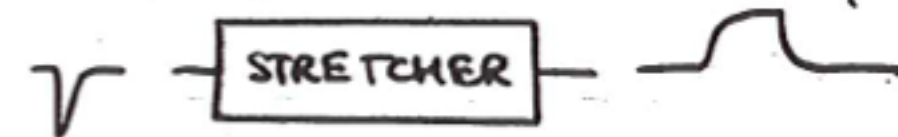
ECL: Emitter Coupled Logic (più veloce perché non lavora tra satur. e interd.)



nei NIM a IN differenziale TTL o ECL gli ingressi hanno impedenza in IN = 100Ω e si usano con coppie di cavi 'twistate' (idem per le uscite...)

## NIM ANALOGICI

es. Stretcher



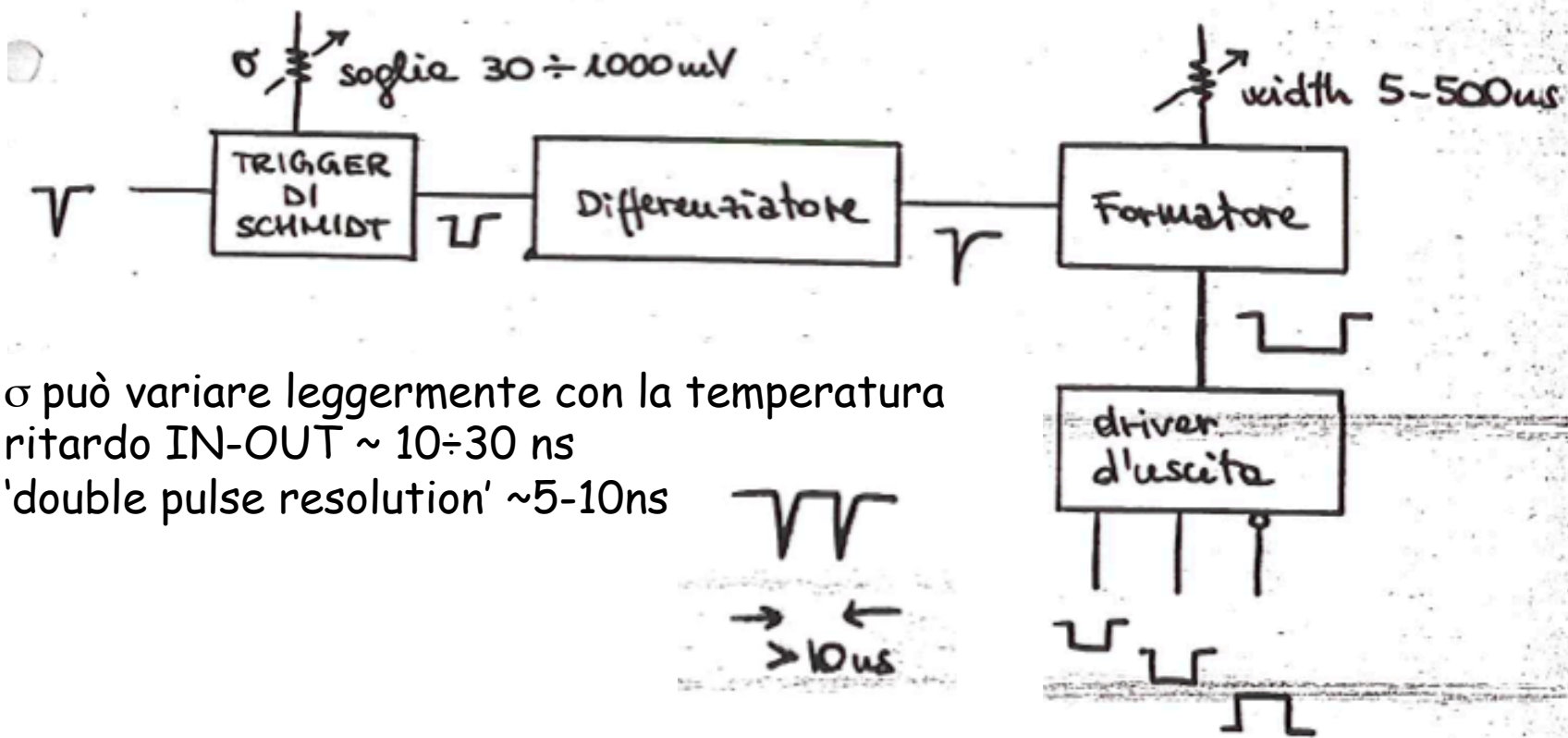
ranges di funzionamento:

- 0 ÷ 1V
- 0 ÷ 10V più usato
- 0 ÷ 100 V

...alcuni moduli NIM fondamentali (esistenti spesso anche in Camac, VME etc.)...

## Discriminatore

converte un segnale analogico in ingresso in un segnale standard ogni volta che l'ampiezza del segnale in ingresso supera la soglia  
schema a blocchi:

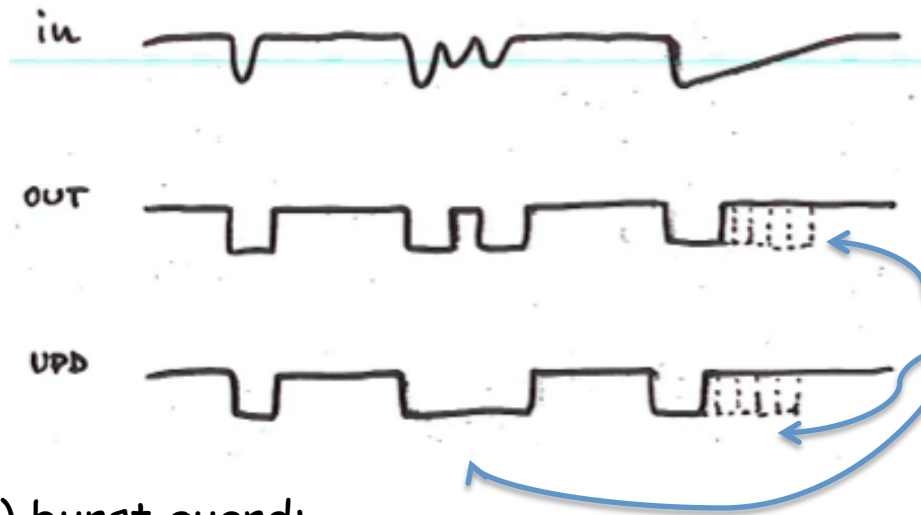


- $\sigma$  può variare leggermente con la temperatura
- ritardo IN-OUT  $\sim 10 \div 30$  ns
- 'double pulse resolution'  $\sim 5-10$  ns

- max freq. impulsi IN  $\sim 100-200$  MHz

'optionals':

1) updating:



l'OUT si estende se arriva un secondo impulso prima che il primo OUT torni a zero e a distanza maggiore della 'double pulse resolution'  
l'OUT invece 'riparte' se la distanza è minore della 'double pulse resolution'

2) burst guard:

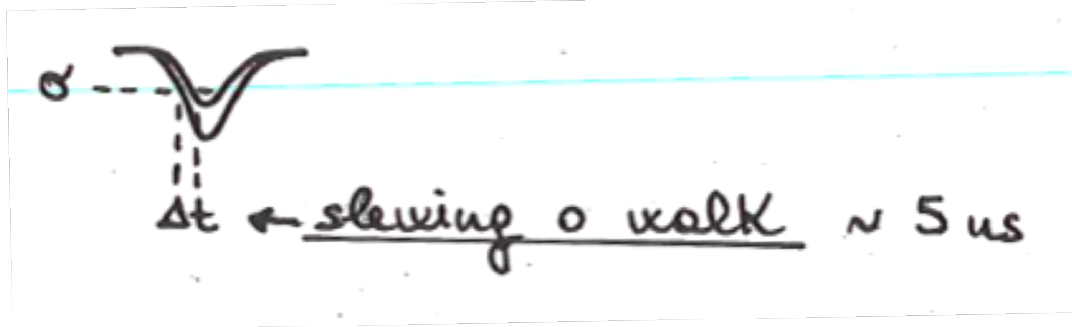


l'OUT viene estesa anche se gli impulsi in IN sono più vicini della 'double pulse resolution'

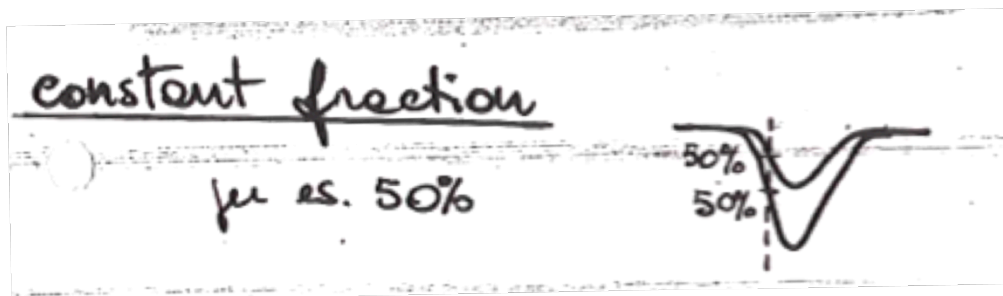
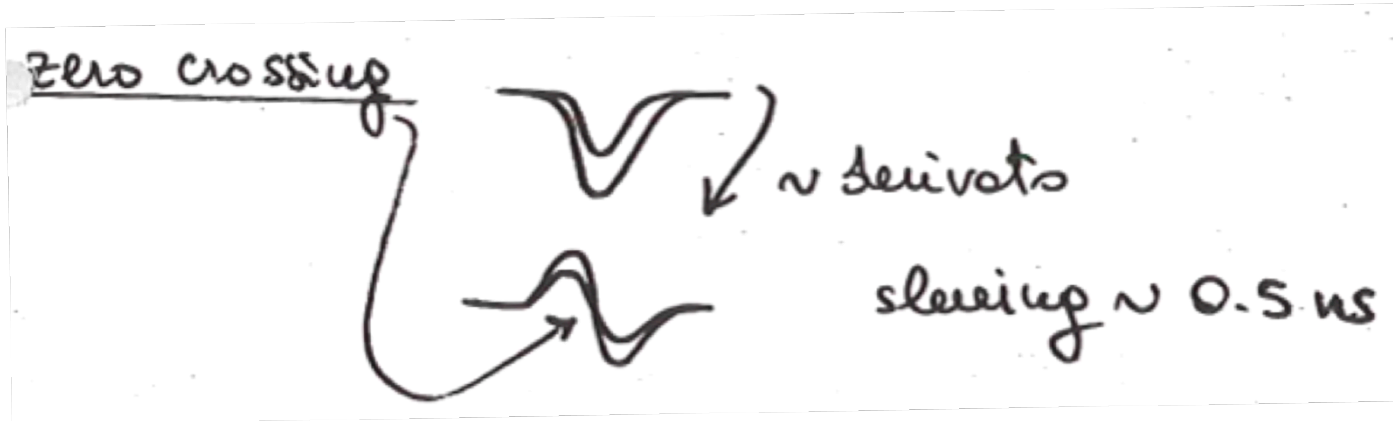
3) inhibit: i segnali in IN vengono ignorati durante la presenza del segn. di inhibit

4) funzionamento differenziale: scelta separata delle due soglie o scelta del  $\Delta V$  detto anche Single Channel Analyzer

il ritardo IN-OUT dipende dalla forma, ampiezza e tempo di salita del segnale in IN:



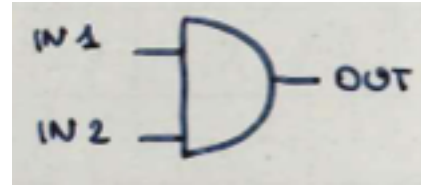
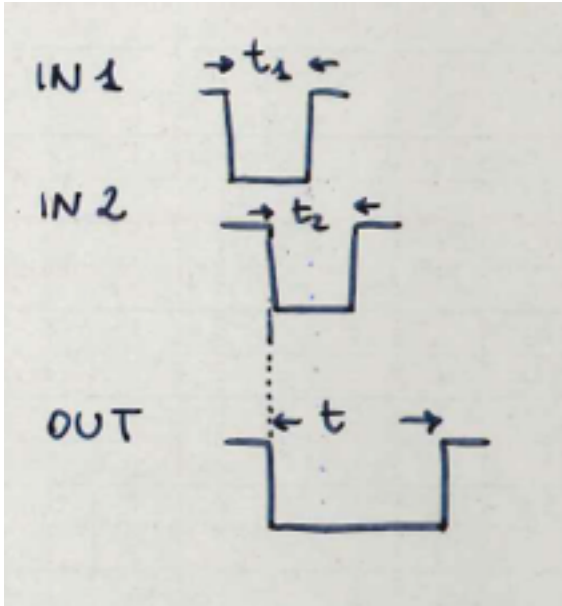
per ridurlo sono stati sviluppati altri metodi:



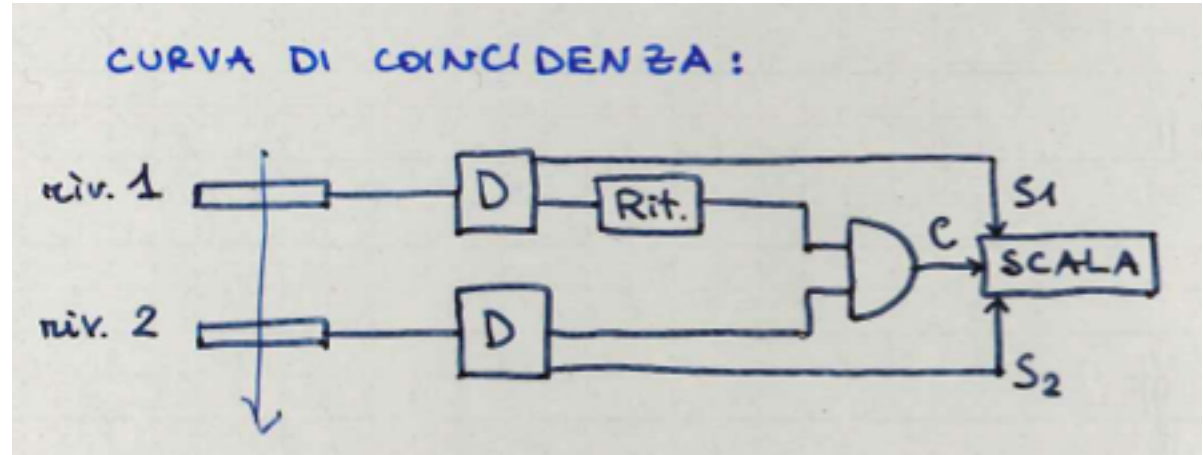
tests provano l'esistenza di un livello (il cui valore dipende dal tipo di impulso) che ottimizza la risol. indep. dall'ampiezza  $\rightarrow$  slewing  $\sim 50 \text{ ps}$

# Coincidenze

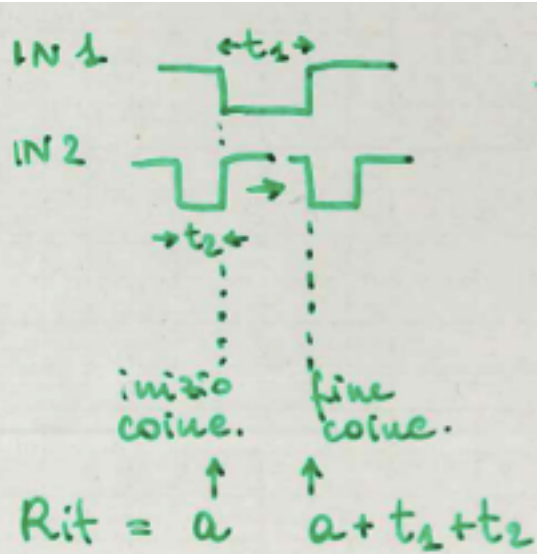
minima sovrapposizione ~ 2-3 ns



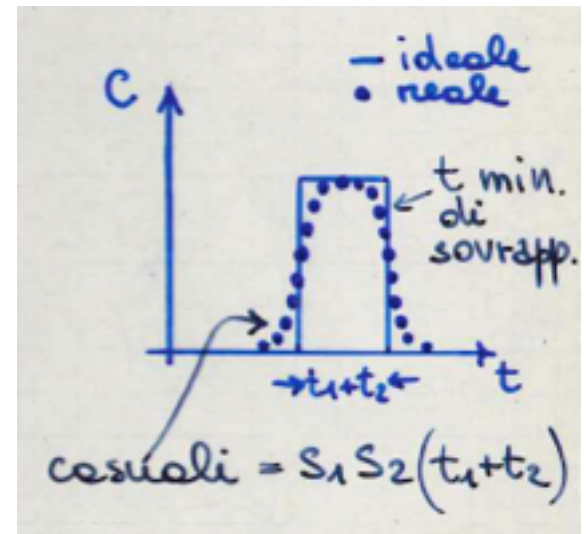
$t_{OUT} <$  = al t di sovrapposizione  
fissata tramite  
potenziometro (5÷500ns)



Larghezza di coincidenza o resolving time:  $t_1+t_2$



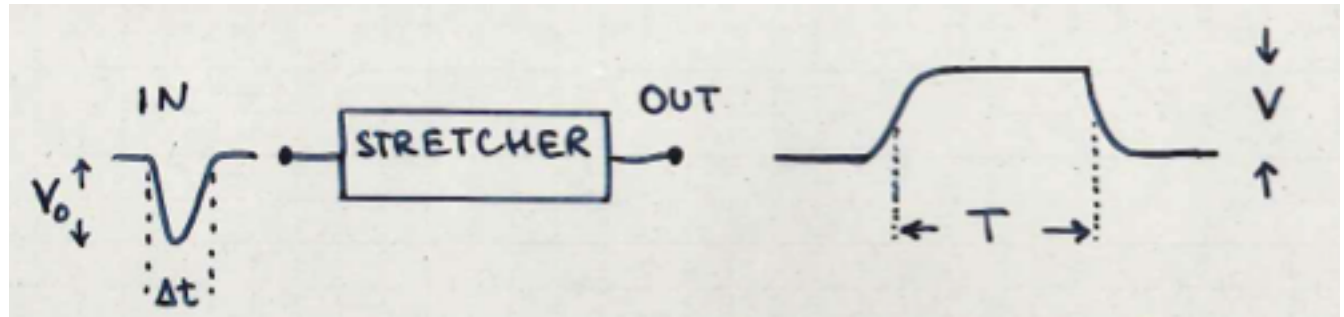
tenendo fisso IN1 ed aggiungendo Rit su IN2 si avrà coincidenza per Rit da 'a' ad 'a+t<sub>1</sub>+t<sub>2</sub>'



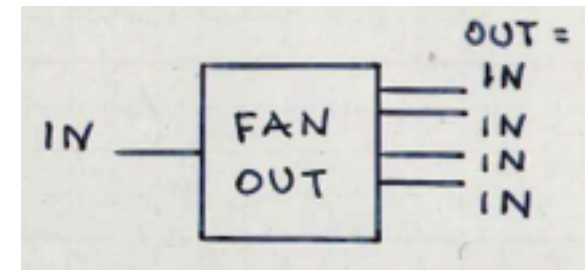
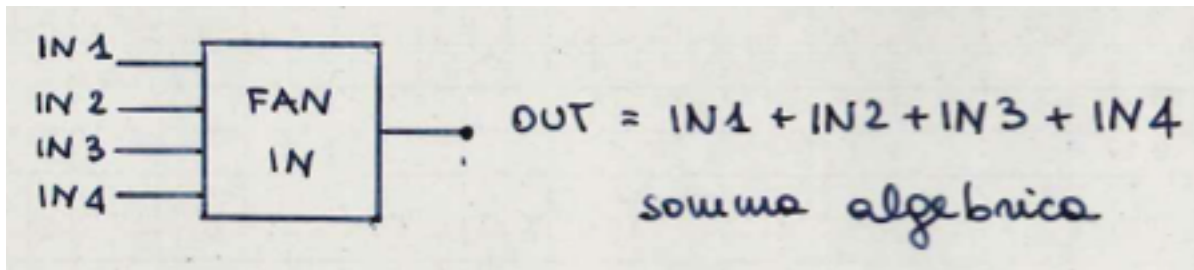
## Stretcher

$T (\sim \mu s) \gg \Delta t (\sim ns)$

$V \propto V_0$  opp. area  
segnale ingresso

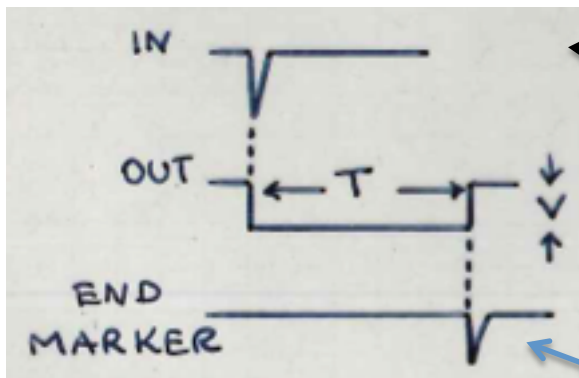


## Fan-IN/Fan-OUT



consente di utilizzare lo stesso segnale per più scopi  
possono entrambi essere sia analogici che logici

## (Dual) Timer



← logico 'veloce' (ns)

← V standard (-0.8V), T variabile = ns ÷ s

← V ~ -0.8 V, 'veloce'

← ritardo attivo tra IN ed EM



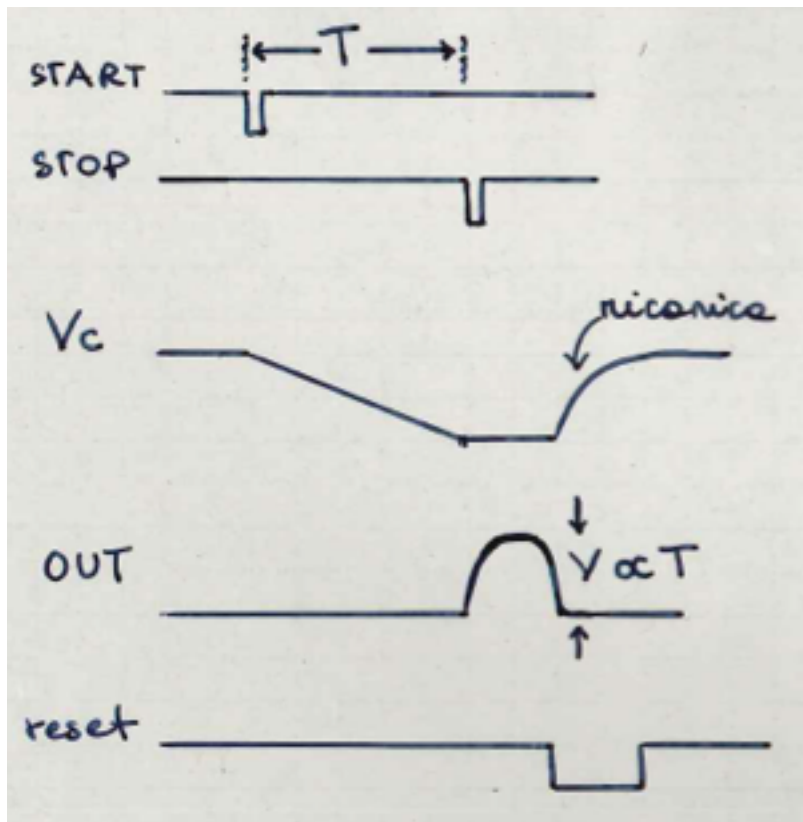
## Ritardi passivi

cavo coassiale di lungh. nota,  $1/v \sim 5 \text{ ns/m}$

## Scaler

- 'conta' il numero di impulsi al suo ingresso (può averne più d'uno)
- può avere un display incorporato o esser letto via computer
- IN 'formato' (per es. dopo un discr.) che duri almeno  $\sim 10\div 30 \text{ ns}$

## TAC: Time to Amplitude Converter



supp. di avere un condensatore carico ad un certo valore

all'arrivo del segn. di START si comincia a scaricarlo linearmente (a corr. cost.) e si arresta la scarica all'arrivo del segnale di STOP

la carica totale raccolta fornisce in OUT un segnale d'ampiezza  $\propto T$

un segnale di reset riavvia l'uscita e riavvia la ricarica del condensatore

**OVERFLOW:** se lo stop non arriva entro un tempo max (alcuni controllano la presenza dello stop prima di cominciare la conversione)

# Analog to Digital Conversion

parametri importanti:

1. risoluzione
2. non-linearità differenziale
3. non-linearità integrale
4. tempo di conversione
5. comportamento in funz. del rate d'ingr. (random)
6. stabilità

## 1. risoluzione

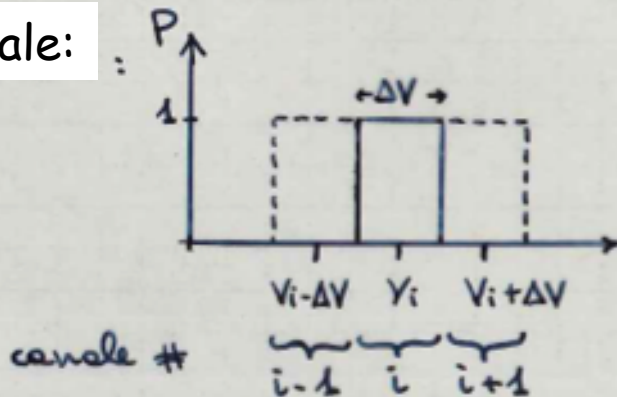
stima più semplice:

risoluzione definita dal numero di bit d'uscita,  
per es. 13 bits  $\rightarrow \Delta V/V = 1/8192 = 1.2 \times 10^{-4}$

misura vera: profilo del canale

graficare la probabilità che un'altezza d'impulso corrispondente ad un certo canale sia realmente convertita a quel canale vs. l'altezza d'impulso

ADC ideale:



ADC reale:

- a. se tutti i conteggi cadono nello stesso canale la risoluzione è  $\Delta V$
- b. se i conteggi sono distribuiti su diversi canali ( $>4-5$ ) dal fit del picco si può ottenere la risoluzione

## 2. non linearità differenziale DNL

è una misura di quanto sono 'uguali' le larghezze dei canali su tutto il range dell'ADC

$$DNL = \text{MAX} \left\{ \frac{\Delta V_i}{\langle \Delta V \rangle} - 1 \right\} \quad \forall i$$

oppure

$$DNL = \text{r.m.s.} \left\{ \frac{\Delta V_i}{\langle \Delta V \rangle} - 1 \right\}$$

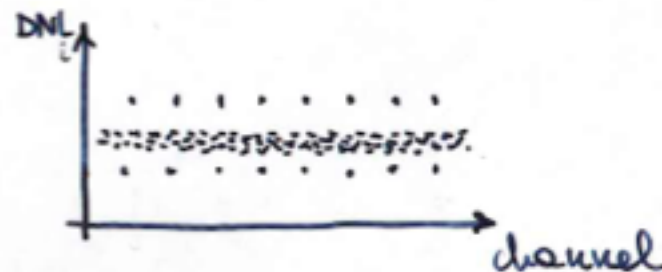
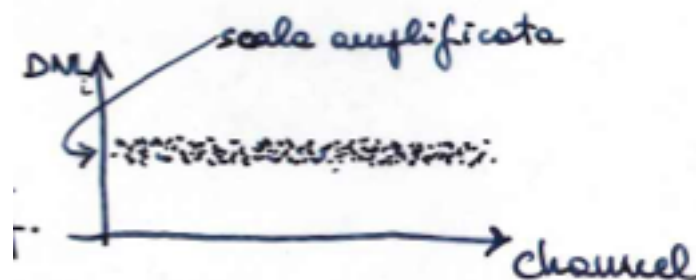
$\langle \Delta V \rangle =$  larghezza media

entrambe le definizioni sono corrette e utilizzate:

$$DNL_i = \frac{\Delta V_i - \langle \Delta V \rangle}{\langle \Delta V \rangle}$$

-se la  $DNL_i$  appare distribuita in maniera casuale  $\rightarrow$  RMS def.

-se invece ha quest'aspetto:  
ha più senso la definizione con il MAX



**valori tipici:**  $< \pm 1\% \text{ MAX}$   
 $< \pm 3 \times 10^{-3} \text{ r.m.s.}$

## 2. non linearità integrale INL

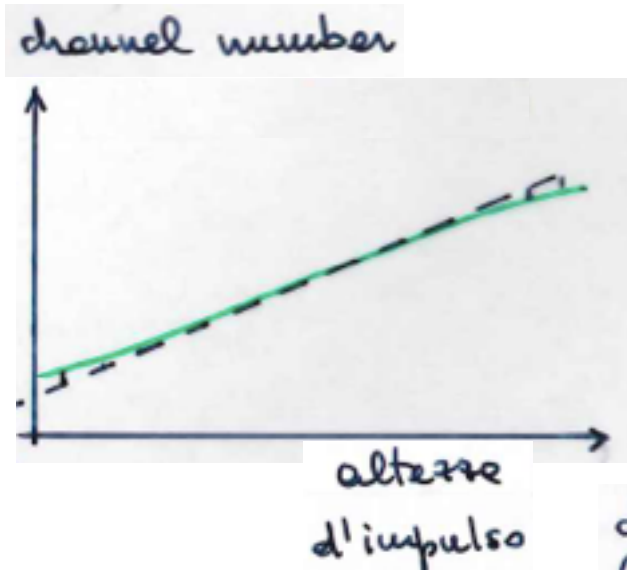
deviazione 'globale' dell'ampiezza 'registrata' dall'ADC da quella effettivamente fornita in ingresso

$$\#ch = a + b V_{in}$$

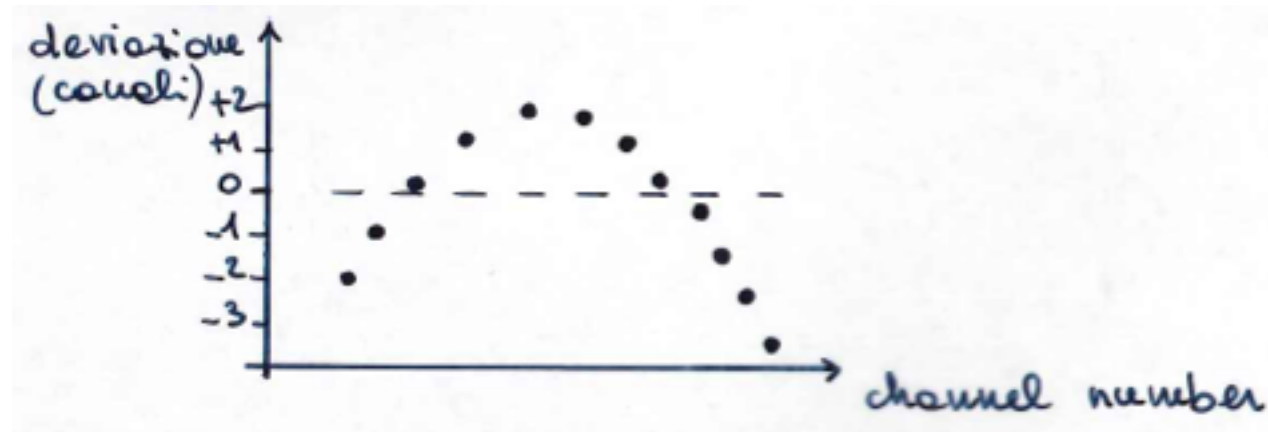
a=offset (piedistallo)

b= coeff. di conversione ch/tensione

val. tipici: 0.01÷0.1% ; (1÷10 ch su 8k)



meglio graficare la deviazione da un fit lineare magari per punti (canali) equispaziati  
avrò per es.:



INL = somma algebrica DNL....

→ un ADC può avere buona INL e scarsa DNL!!!

## 4. tempo di conversione

importante componente del tempo morto del sistema

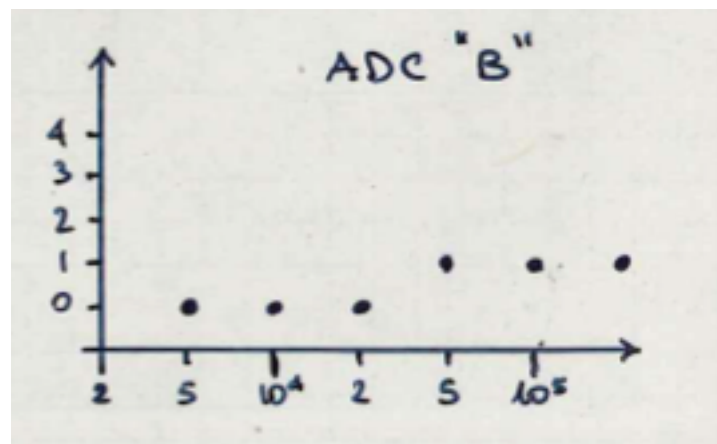
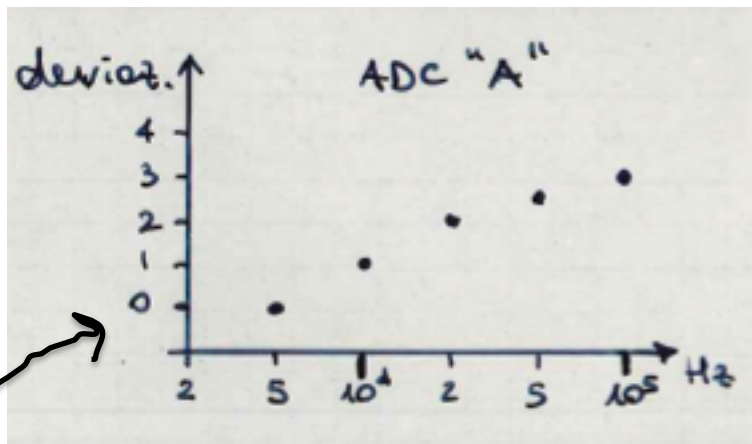
valori tipici  $10 \text{ ns} \div 100 \mu\text{s}$  a secondo della tecnologia

in alcuni casi può essere necessario misurarlo (contando per es. il num. di impulsi provenienti da un impulsatore sia con una scala che con un ADC (in un MCA))

## 5. comportamento in funz. del rate

il rate casuale degli eventi in ingresso può avere delle fluttuazioni anche notevoli (decadim. radioattivi, fluttuaz. fasci in acceleratori)

è importante in questi casi che l'ADC continui a rispondere correttamente; spesso si osserva una deviazione funzione della freq. d'ingresso dovuta a crosstalk tra i circuiti digitali ed analogici all'interno dell'ADC:



non adatto ad es. a misure in cui il rate d'ingresso può aumentare oltre  $10^4$  Hz

## 6. stabilità

il guadagno e l'offset possono variare con la temperatura o il tempo (invecchiamento) →

impulsatore di precisione per fornire picchi di riferimento all'inizio ed alla fine del range di conversione:

$(Pk.POS2)-(Pk.POS1) \rightarrow GUADAGNO$

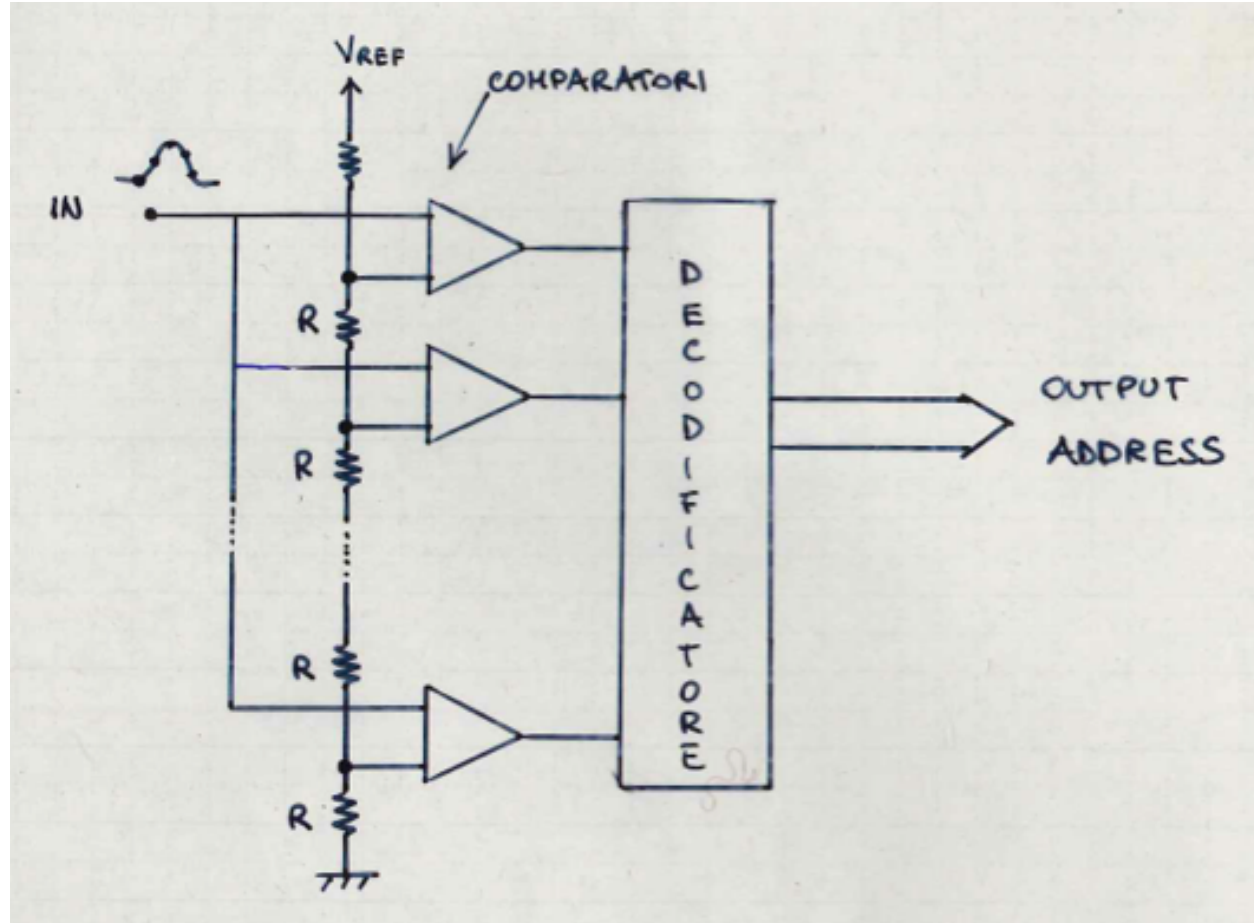
$(Pk.POS1) \text{ OR } (Pk.POS2) \rightarrow OFFSET$

correzione effettuata poi via software

# Tecniche di conversione A/D

## 1. FLASH ADC

$2^n$  comparatori per n bits,  
8 bits  $\rightarrow$  256 comp.  
9 bits  $\rightarrow$  512 etc.



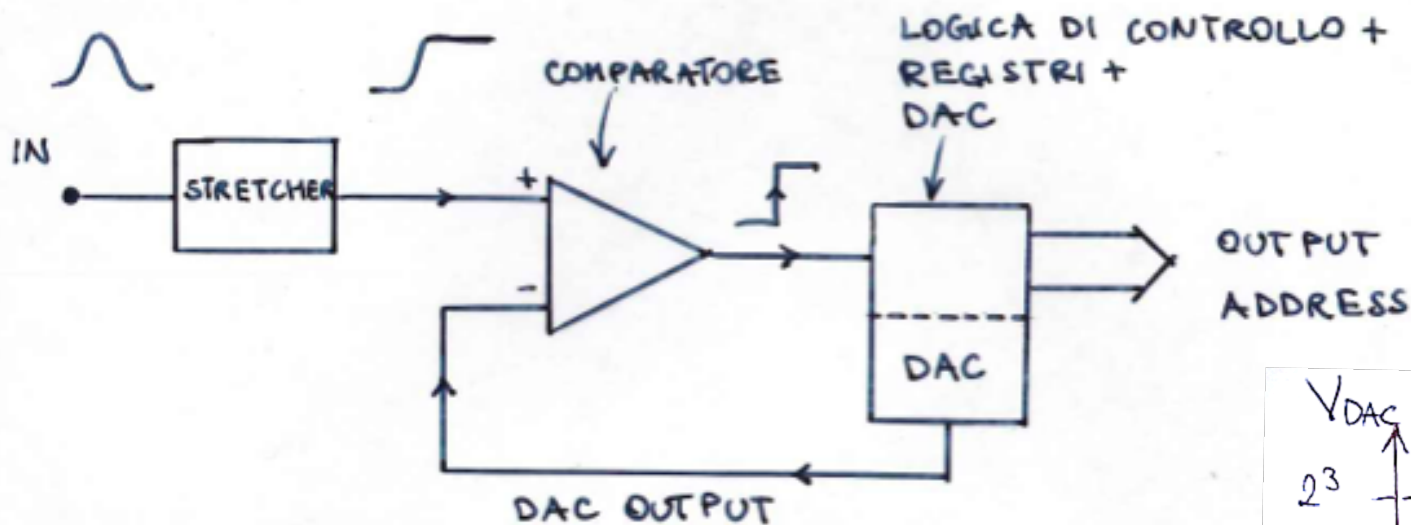
### vantaggi:

-breve tempo di conversione ( $<10ns$ ), consente campionamenti multipli del segnale in ingr. ad elevate freq.

### inconvenienti:

-num. di componenti  
-consumo in potenza elevato (es. 5 W)

## 2. METODO DELLE APPROSSIMAZIONI SUCCESSIVE



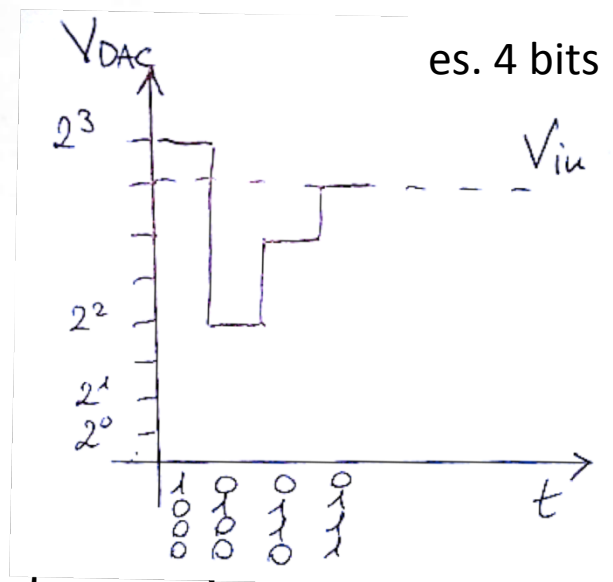
il DAC 'cicla' prima sui bit + significativi, viene 'fissato' quello per cui  $DAC\ OUT < 0 = V_{in}$ ; si passa quindi al bit successivamente meno significativo etc... si converge in 'n passi'

n 'passi' di conversione  $\rightarrow 2^n$  canali,  
es. 8k(8192) canali  $\rightarrow$  13 'passi'

(passi nel senso di gradini fondamentali che combinati danno poi i vari numeri possibili, es. 3passi: 100, 010, 001  $\rightarrow$  da 111 a 1)

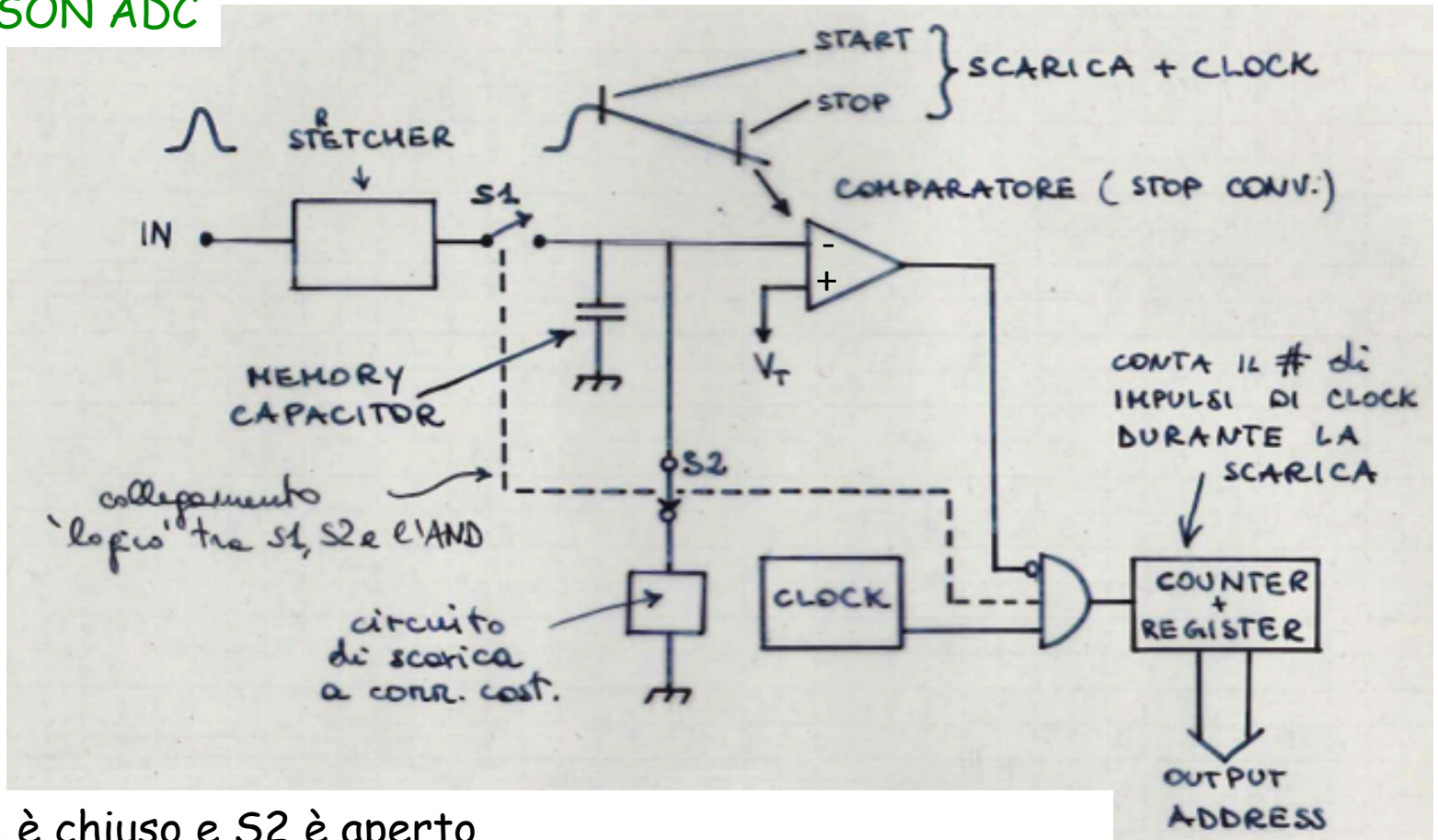
**vantaggi:** meno componenti, abbastanza veloce (16-20 bits,  $1\mu s$ )

**inconvenienti:** DNL  $\sim 10\div 20\%$  motivo: i resistori che determinano l'OUT del DAC devono essere molto accurati





### 3. WILKINSON ADC



-all'inizio S1 è chiuso e S2 è aperto

-C si carica al valore d'uscita dello stretcher,  $V_{comp\_OUT} = '0'$ , ed il contatore comincia a contare, inoltre si apre S1 e si chiude S2

-C comincia a scaricarsi linearmente, quando  $V_C < V_T$  il comparatore  $\rightarrow '1'$  e inibisce il conteggio degli impulsi di clock

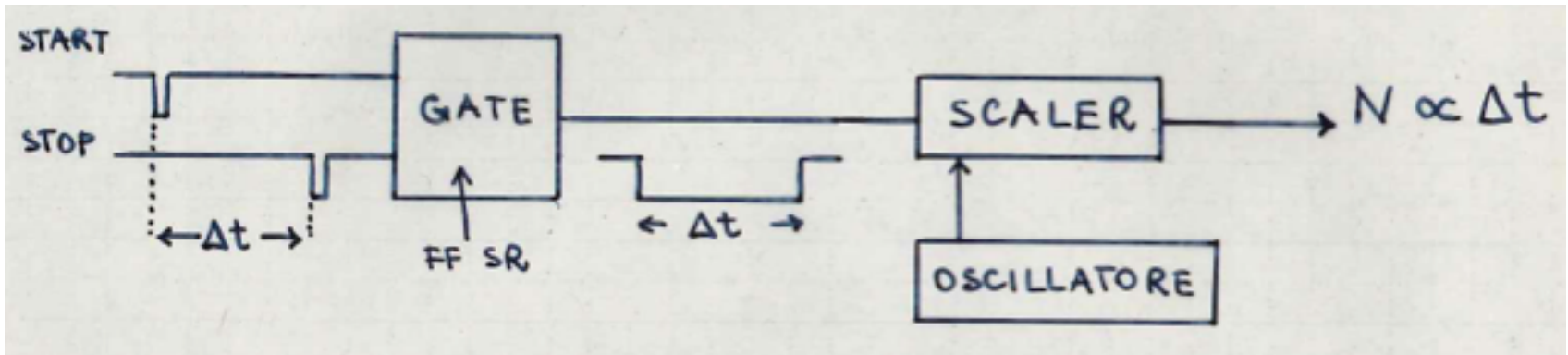
**vantaggi:** buona DNL

**inconvenienti:** lento, tempo di conversione =  $n T_{clock}$  ( $T_{clock} = 10ns \rightarrow T_{conv} = 82\mu s$  per 8k)  
 $n$  canale  $\propto$  alt. d'impulso

## Time to Digital Converter

1. TAC + ADC
2. COUNTING TDC
3. VERNIER TDC

### 2. COUNTING TDC

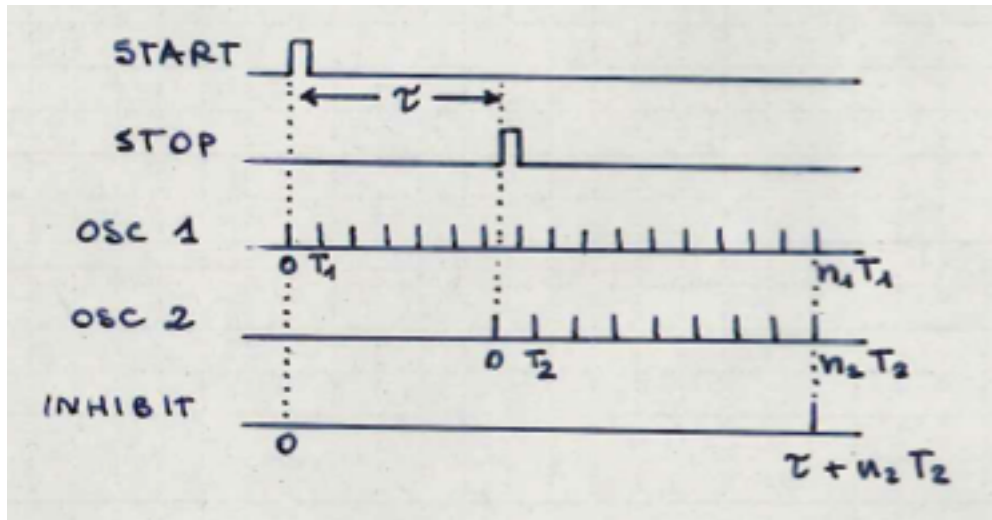
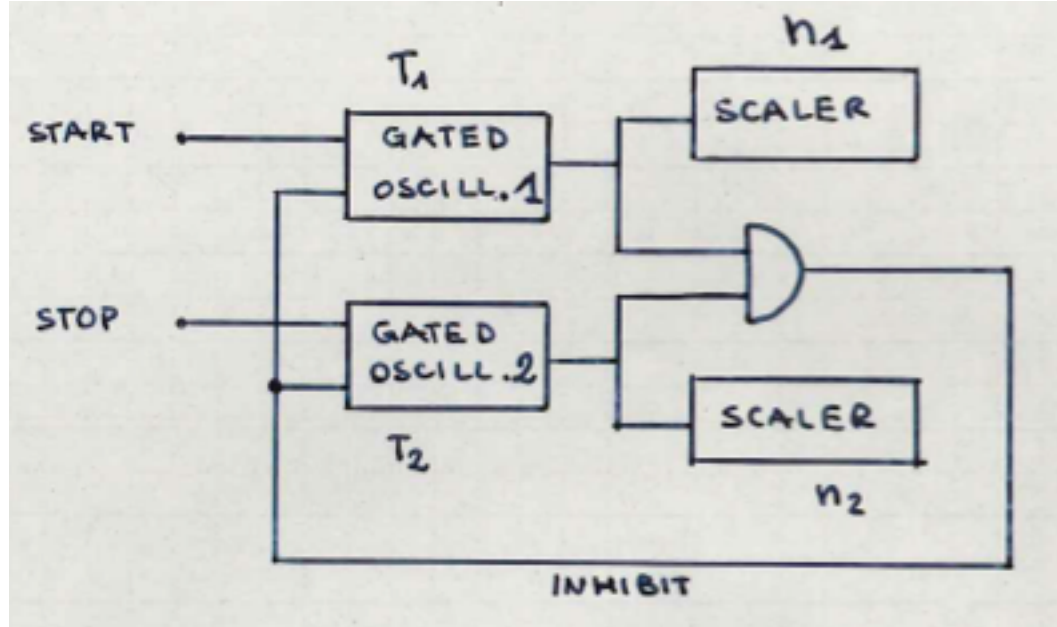


logica di controllo per:

- overflow
- clear
- busy
- interrupt

**RISOLUZIONE** funz. della frequenza del clock,  $\Delta t \propto 1/f$

### 3. VERNIER TDC



$$n_1 T_1 = n_2 T_2 + \tau$$

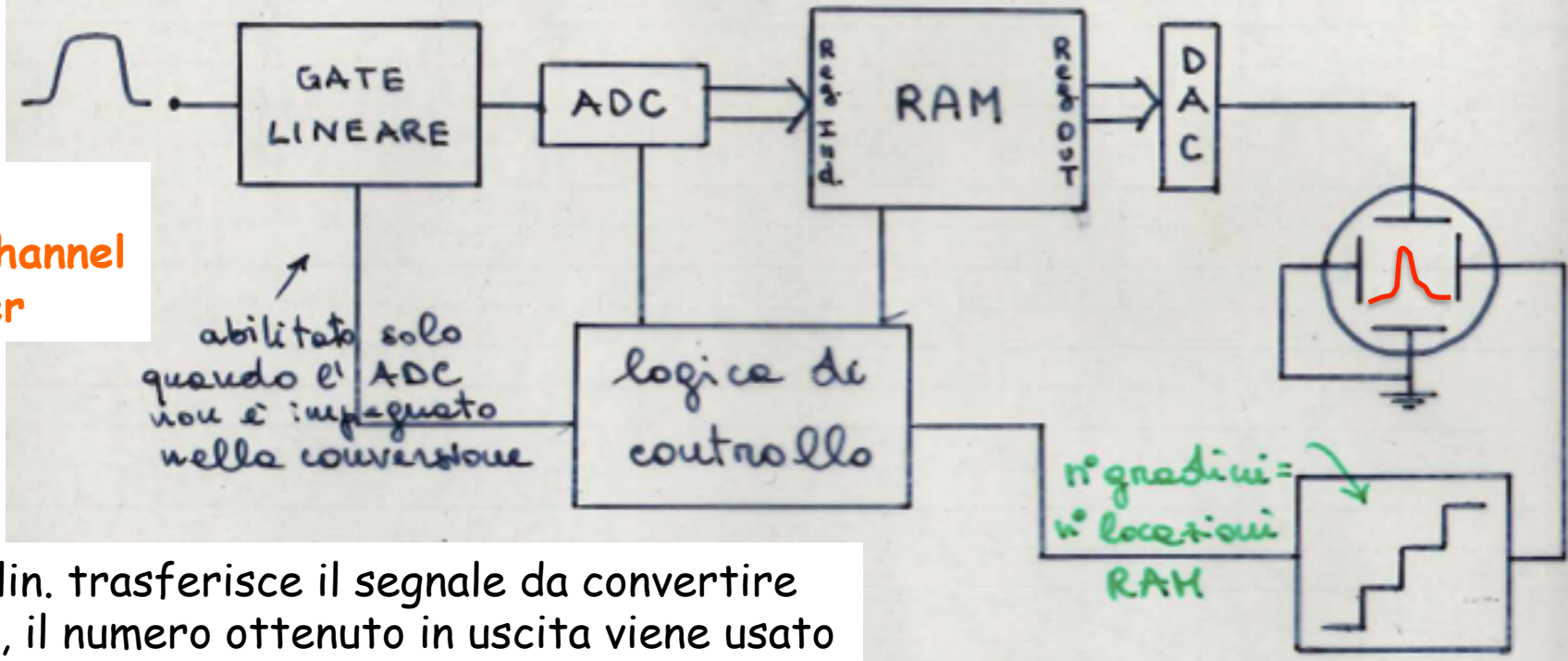
$$\frac{n_1}{f_1} = \frac{n_2}{f_2} + \tau$$

$$\tau = \frac{n_1}{f_1} - \frac{n_2}{f_2} = \frac{n_1 f_2 - n_2 f_1}{f_1 f_2}$$

2 oscillatori a freq. leggermente diversa; il 1° parte sullo Start il 2° sullo Stop, si fermano entrambi quando sono in fase (linea di inhibit) (vernier~nonio)

**RISOLUZIONE** dipende da  $\Delta f / (f_1 f_2)$  la diff. di freq è in genere ~1%

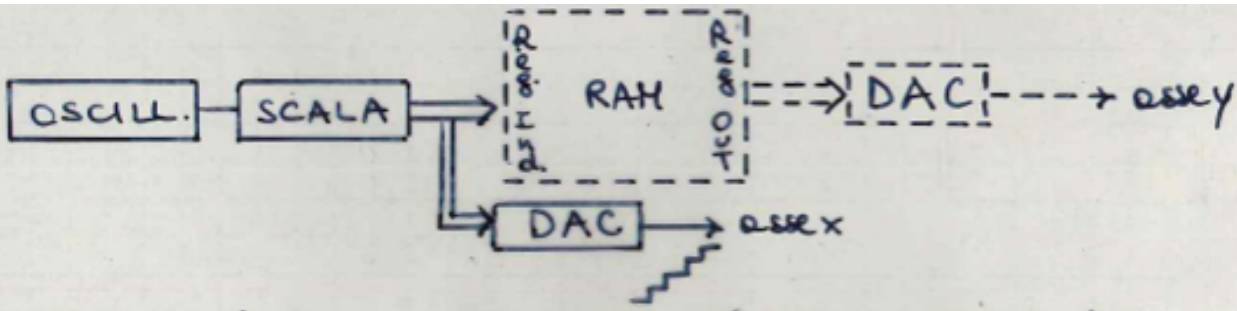
**MCA:  
Multi Channel  
Analyzer**



il gate lin. trasferisce il segnale da convertire all'ADC, il numero ottenuto in uscita viene usato per indirizz. una locaz. di mem. della RAM il cui contenuto viene incrementato di 1 in ogni locaz. di memoria ci sarà quindi il numero di impulsi con ampiezza compresa tra  $V_i$  e  $V_i + \Delta V$  ( $\Delta V \leftrightarrow$  risoluzione ADC)

vanno "accordati" il num. di bit dell'ADC e dei DAC con le dimensioni della RAM:

es.circuito di visualizz. contenuto RAM



es. ADC a 10 bit  $\rightarrow$  1024 locazioni a N bit, dove N determinerà il num. max di conteggi per canale e deve essere = al numero di bit DAC asse y

+ log. di sincr. (lett.RAM dopo ogni impulso dell'osc., attesa conv.DAC,etc.)